



PTO/SB/21 (08-00)  
Approved for use through 10/31/2002. OMB 0651-0031  
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/604,768	
	Filing Date	08/14/2003	
	First Named Inventor	Ching-Chih Li	
	Group Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	ALIP0016USA

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below):
<div>Remarks</div>		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	8/29/2003

CERTIFICATE OF MAILING			
I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Washington, DC 20231 on this date: <span style="border: 1px solid black; display: inline-block; width: 100px; height: 15px;"></span>			
Typed or printed name			
Signature		Date	

Burden Hour Statement: This form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



PTO/SB/17 (01-03)  
Approved for use through 04/30/2003. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE  
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2003

Effective 01/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/604,768
Filing Date	8/14/2003
First Named Inventor	Ching-Chih Li
Examiner Name	
Art Unit	
Attorney Docket No.	ALIP0016USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit  
Account  
Number  
Deposit  
Account  
Name

50-0801

North America International Patent Office

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) during the pendency of this application

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 750	2001 375	Utility filing fee	
1002 330	2002 165	Design filing fee	
1003 520	2003 260	Plant filing fee	
1004 750	2004 375	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	

SUBTOTAL (1) (\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Extra Claims	Fee from below	Fee Paid
Independent Claims	-20** =	X	
Multiple Dependent	-3** =	X	

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 84	2201 42	Independent claims in excess of 3
1203 280	2203 140	Multiple dependent claim, if not paid
1204 84	2204 42	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for <i>ex parte</i> reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 410	2252 205	Extension for reply within second month	
1253 930	2253 465	Extension for reply within third month	
1254 1,450	2254 725	Extension for reply within fourth month	
1255 1,970	2255 985	Extension for reply within fifth month	
1401 320	2401 160	Notice of Appeal	
1402 320	2402 160	Filing a brief in support of an appeal	
1403 280	2403 140	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,300	2453 650	Petition to revive - unintentional	
1501 1,300	2501 650	Utility issue fee (or reissue)	
1502 470	2502 235	Design issue fee	
1503 630	2503 315	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 750	2809 375	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 750	2810 375	For each additional invention to be examined (37 CFR 1.129(b))	
1801 750	2801 375	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)

Winston Hsu

Registration No.  
(Attorney/Agent)

41,526

Telephone 886289237350

Signature

*Winston Hsu*

Date

8/29/2003

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

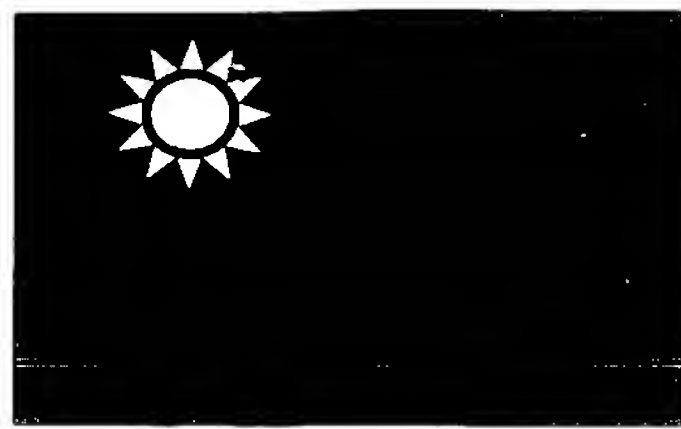
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092105019	Taiwan, R.O.C.	03/07/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 07 日  
Application Date

申請案號：092105019  
Application No.

申請人：揚智科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 8 月 8 日  
Issue Date

發文字號：09220801660  
Serial No.

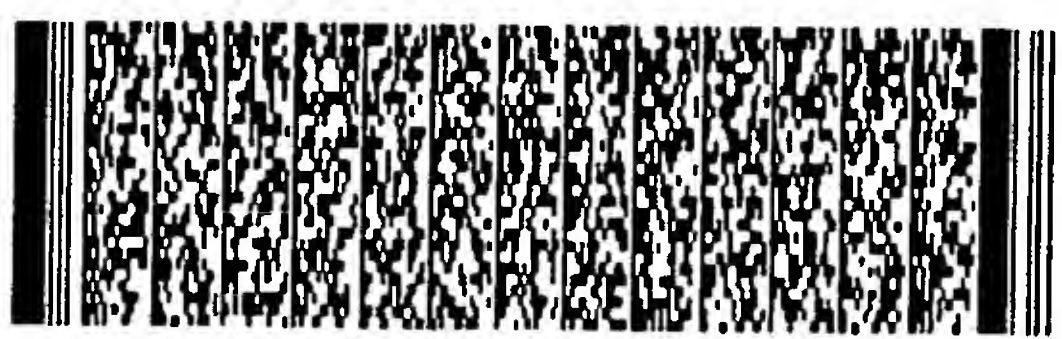


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一 發明名稱	中 文	用以降低相異匯流排共同佈局所產生之串音效應的架構及相關方法
	英 文	LOW CROSS-TALK DESIGN AND RELATED METHOD FOR CO-LAYOUT OF DIFFERENT BUSES IN AN ELECTRIC BOARD
二 發明人 (共1人)	姓 名 (中文)	1. 李錦智
	姓 名 (英文)	1. Li, Ching-Chih
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣平鎮市南安路二巷五弄一號
	住居所 (英 文)	1. No. 1, Alley 5, Lane 2, Nan-An Rd., Ping-Chen City, Tao-Yuan Hsien, Taiwan, R.O.C.
三 申請人 (共1人)	名稱或 姓 名 (中文)	1. 揚智科技股份有限公司
	名稱或 姓 名 (英文)	1. Acer Laboratories, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣汐止市新台五路一段88號21樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 21F, No. 88, Sec.1, Hsin-Tai Wu Rd., Hsi-Chih City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 呂理達
	代表人 (英文)	1. Lu, Teddy



四、中文發明摘要 (發明名稱：用以降低相異匯流排共同佈局所產生之串音效應的架構及相關方法)

本發明提供一種用來降低串音效應的架構，其包含有一包含一接地層的電路板以及複數個介面模組。該複數個介面模組設置於該電路板上，不能同時有兩個以上的介面模組同時運作，而每一介面模組皆包含有複數個插槽以及複數條匯流排 (BUS)，插槽用來以可抽插 (Detachable) 的方式容納複數個對應的介面裝置；複數條匯流排電連於該複數個插槽，用來傳輸訊號及資料，其中當該介面模組未運作時，該對應之複數條匯流排係電連至該電路板之接地層，另外該複數個介面模組之複數條匯流排係交替佈局於該電路板上。

代表圖 (一)、本案代表圖為：第 6 圖

(二)、本案代表圖之元件代表符號簡單說明

30 DDRI佈局架構

32 電路板

34 DDRI插槽

35 DDRI介面裝置

六、英文發明摘要 (發明名稱：LOW CROSS-TALK DESIGN AND RELATED METHOD FOR CO-LAYOUT OF DIFFERENT BUSES IN AN ELECTRIC BOARD)

A novel structure for reducing cross-talk effect. The structure includes an electric board containing a ground layer and a plurality of adapting modules. Only one of the adapting modules can operates at a certain period of time, and each adapting module includes a plurality of slots and a plurality of buses. The plurality of slots can detachably accommodate a plurality of

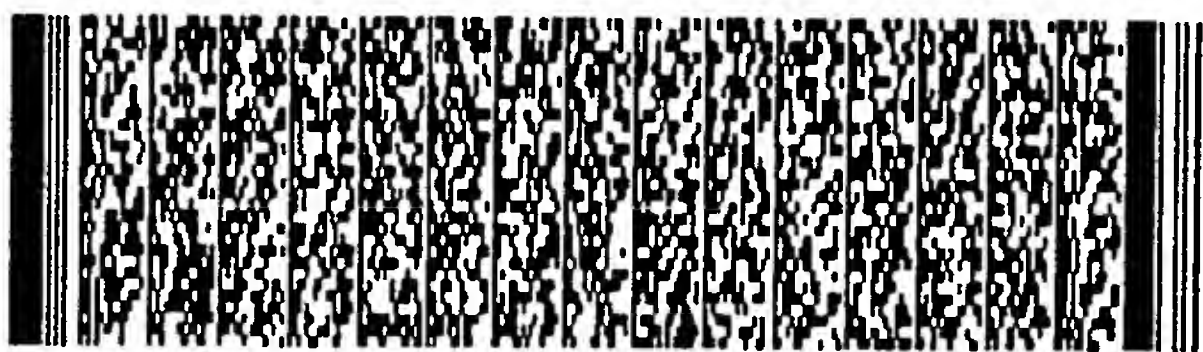


四、中文發明摘要 (發明名稱：用以降低相異匯流排共同佈局所產生之串音效應的架構及相關方法)

- |    |           |    |            |
|----|-----------|----|------------|
| 36 | DDR I匯流排  | 38 | DDR I控制器   |
| 39 | 開關裝置      | 40 | DDR I佈局架構  |
| 44 | DDR II插槽  | 45 | DDR II介面裝置 |
| 46 | DDR II匯流排 | 47 | 終端接地卡      |
| 48 | DDR I控制器  |    |            |

六、英文發明摘要 (發明名稱：LOW CROSS-TALK DESIGN AND RELATED METHOD FOR CO-LAYOUT OF DIFFERENT BUSES IN AN ELECTRIC BOARD)

corresponding adapting devices. The buses are electrically connected to the plurality of slots for transmitting signals and data. When the adapting module does not operate, the corresponding buses are connected to the ground layer of the electric board. All the plurality of buses of the plurality of adapting modules are alternately co-layout on the electric board.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。





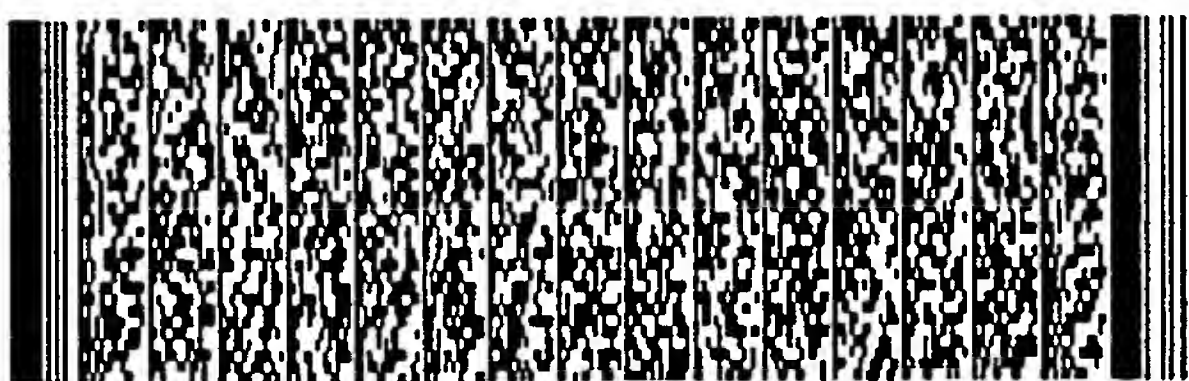
## 五、發明說明 (1)

### 發明所屬之技術領域：

本發明提供一種用來降低串音效應 (Crosstalk) 的架構，尤指一種於一相異匯流排共同佈局架構中，利用不運作的匯流排當防護線，以降低串音效應的架構。

### 先前技術

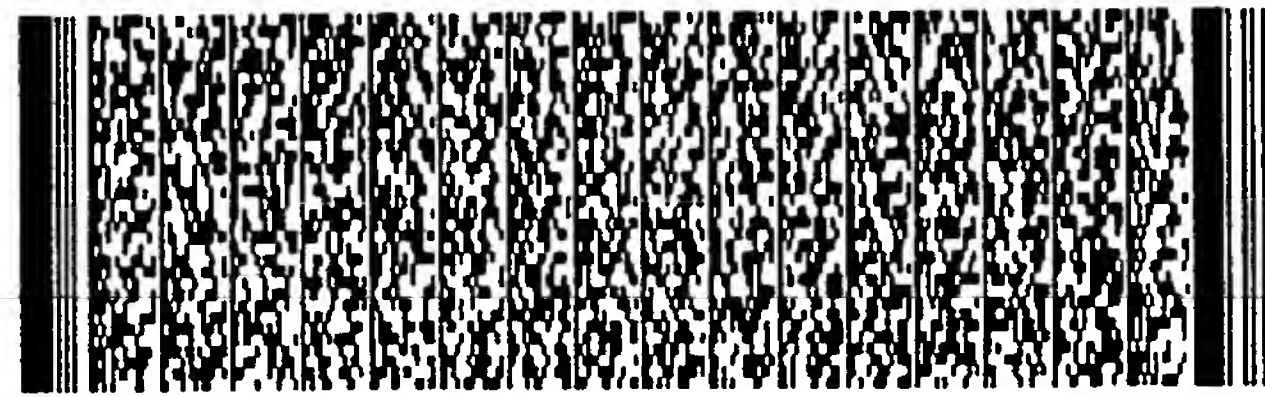
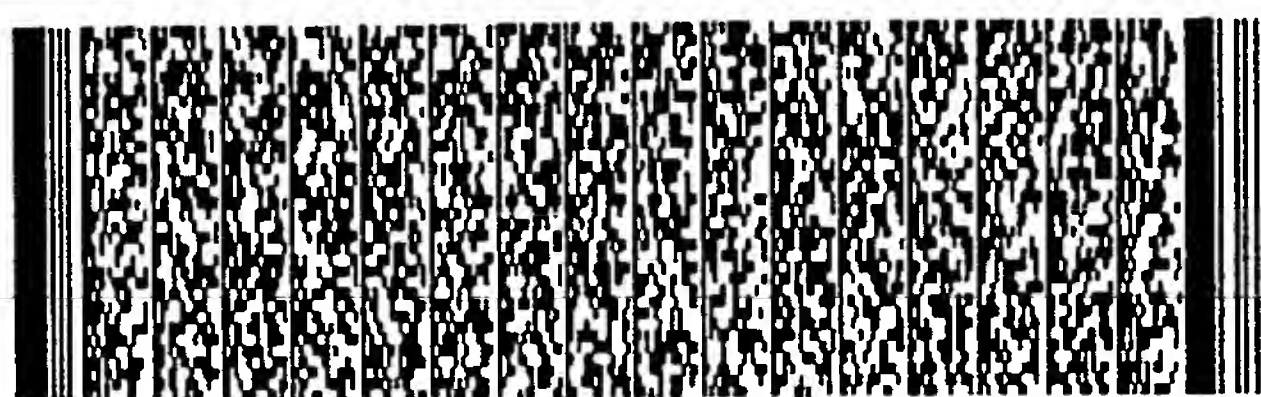
每當硬體規格新舊交替時，市面上總會有過渡性的產品出現，如驅動超快傳輸速率 (SDR) 及驅動雙倍傳輸速率 (DDR) 記憶體規格共存的電路板，實際的其中一例請見 2001 年天烽科技 (2theMax) 所推出型號為 2theMax 8K7A+ 之主機板。為了要使新舊規格相容及節省成本之下，各家廠商無不用盡腦汁去設計。因此再以電腦上的記憶體配備為例，當 DDR II 這個新世代記憶體規格出現時，廠商為了搶下市場，一定會設計過渡產品，使 DDR I 及 DDR II 能夠共存在同一張主機板上，但在將這些兩種甚至兩種以上不同規格的硬體及對應之匯流排共同佈局於同一電路板上時，對於出現的串音效應 (cross talk) 就必須找到有效但不能增加過多成本的方法來解決。許多的習知技術在一般非相異匯流排共同佈局之電路架構中都已揭露了關於「接地遮蔽 (Ground Shielding)」之技術特徵，概略而言，就是讓複數條接地線路穿插於有訊號傳輸之訊號線中，讓信號與信號間盡量存在著接地線，以減低信號間互相干擾的情



## 五、發明說明 (2)

形，藉此提供信號的清晰度，例如 Kwong等人提出的 US Patent No. 6,444,922, "Zero cross-talk signal line design"即利用在電路板上每條訊號線的兩側皆刻以一可視為地線的細槽，以在每條訊號線的周圍形成一金屬屏蔽 (metal shield)，且必須自訊號線的訊號接收端至結束端皆有周密的保護。上述的習知技術面臨的最大問題是成本過高，在成本控管嚴格的相異匯流排共同佈局之電路架構中就更不適用，但若將訊號線之間的距離加大，又會造成電路板面積不敷使用。

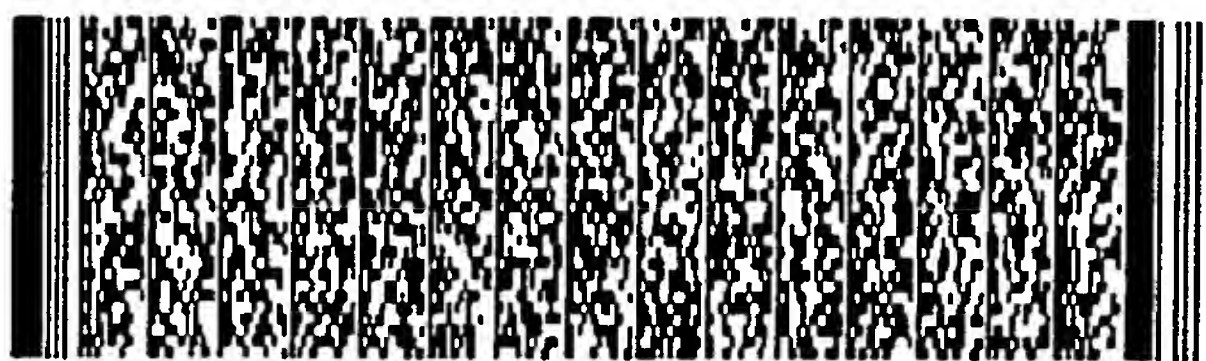
請見圖一及圖二，圖一及圖二分別為 DDR I 及 DDR II 在主機板上佈局架構的示意圖。結合圖一與圖二後即可視為習知一相異匯流排共同佈局架構之示意圖，請注意，圖一與圖二只是以 DDR I 及 DDR II 兩種規格為共同佈局之實施例，其他種類的硬體規格在共同佈局上之原理亦相近。先請見圖一，圖一實施例中之 DDR I 佈局架構 10 包含一具有接地層 (Ground Layer) 之電路板 12、複數個插槽 (Slot) 14、以及複數條匯流排 (BUS) 16，在圖一中因說明原理的便，只顯示一條匯流排 16 及兩個插槽 14。複數個插槽 14 可用來以可抽插 (Detachable) 的方式容納複數個對應的 DDR I 介面裝置，而匯流排 16 係電連於插槽 14，用來傳輸訊號及資料。於匯流排 16 之終端且在插槽 14 之後連接一個電阻  $R_{tt}$  並接到一電壓  $V_{tt}$ ，用來作為阻抗匹配 (Impedance Match) 以消除反射波，並可加速訊號上升或下降的時間，



### 五、發明說明 (3)

增加資料存取的速度。在圖二實施例之 DDR II 佈局架構 20 中亦包含一具有接地層之電路板 22、複數個插槽 24、以及複數條匯流排 26，且同理只顯示一條匯流排 26 及兩個插槽 24，請注意，首先圖一 DDR I 佈局架構 10 使用的電路板 12 及圖二 DDR II 佈局架構 20 使用的電路板 22 為同一張電路板，且 DDR I 佈局架構 10 之複數條匯流排 16 與 DDR II 佈局架構 20 之複數條匯流排 26 係交替佈局於該同一電路板上，因此，結合圖一與圖二後可視為習知一相異匯流排共同佈局架構；再者，原本圖一 DDR I 佈局架構 10 中另外包含的電阻  $R_{tt}$  在 DDR II 佈局架構 20 中被整合到整個架構中，一來更有效地消除反射波雜訊，二來也使訊號的上升或下降時間更快，達到更佳之資料存取的速度。

請繼續同時參閱圖一及圖二，DDR I 佈局架構 10 及 DDR II 佈局架構 20 皆各自包含一 DDR I 控制器 (Controller) 18 及 DDR II 控制器 28，分別用來控制二架構之運作。在圖一之 DDR I 佈局架構 10 運作時，習知技術之 DDR II 佈局架構 20 之 DDR II 控制器 28 會電連至電路板 22 之接地層，完成接地，但由於 DDR II 佈局架構 20 之複數個 (2 個) 插槽 24 並沒有接地，在簡易的電子電路概念下變成類似「天線」般的功能，除了會接收來自 DDR I 佈局架構 10 之匯流排 16 所傳遞的部分訊號，亦會發射相關電磁波訊號干擾鄰近的 DDR I 佈局架構 10 之匯流排 16 所正在傳送的訊號。反之亦然，當 DDR II 佈局架構 20 在運作時，未完整接地的 DDR I 佈局





#### 五、發明說明 (4)

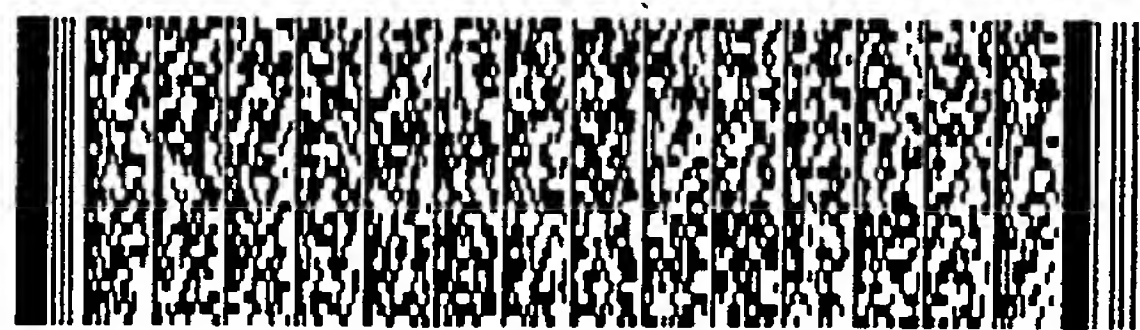
架構 10 會對真正傳送的訊號造成干擾，造成嚴重的串音效應。

#### 發明內容

因此本發明的主要目的在於一種可降低串音效應的架構，用於一相異匯流排共同佈局架構中，利用不運作的匯流排當防護線，以降低相鄰訊號間之串音干擾，以解決上述問題。

本發明之一目的為提供一種用來降低串音效應 (Crosstalk) 的架構，其包含有一電路板，其包含一接地層 (Ground Layer)；以及複數個介面模組，設置於該電路板上，其中不能同時有兩個以上的介面模組同時運作，每一介面模組皆包含有複數個插槽 (Slot)，用來以可抽插 (Detachable) 的方式容納複數個對應的介面裝置；以及複數條匯流排 (BUS)，電連於該複數個插槽，用來傳輸訊號及資料，其中當該介面模組未運作時，該對應之複數條匯流排係電連至該電路板之接地層；其中該複數個介面模組之複數條匯流排係交替佈局於該電路板上。

本發明之另一目的為提供一種於一相異匯流排共同佈局架構中用來降低串音效應 (Crosstalk) 的方法，該相異匯流排共同佈局架構包含有複數條相異種類之匯流排，用

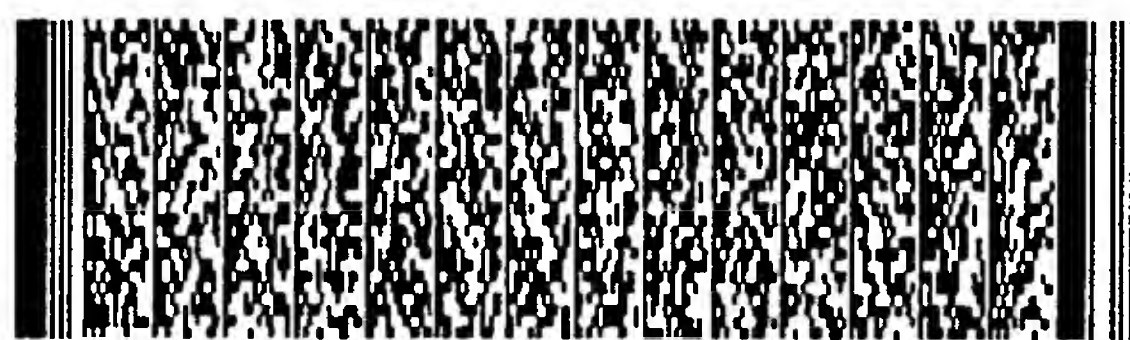


#### 五、發明說明 (5)

來傳輸不同種類之訊號及資料，該方法包含有下列步驟將該複數條相異種類之匯流排交替佈局於一電路板上；於同一時間內只使用同一種類之匯流排傳輸訊號及資料；以及將未傳輸訊號及資料之匯流排的兩端點皆電連至該電路板之一接地層。

本發明之又一目的為提供一種用來降低串音效應 (Crosstalk) 的相異匯流排共同佈局架構，其包含有一電路板，其包含一接地層 (Ground Layer)；以及二介面模組，設置於該電路板上，包含有第一介面模組以及第二介面模組，其中該二介面模組不能同時運作，每一介面模組皆包含有一控制器 (Controller)，用來控制該介面模組之運作，該控制器包含有一金屬氧化半導體電路，用來將該控制器於一預設電壓及一接地電壓之間切換，其中當該介面模組未運作時，該金屬氧化半導體電路係將該控制器切換連接至該接地電壓；複數個插槽 (Slot)，用來以可抽插 (Detachable) 的方式容納複數個對應的介面裝置；以及複數條匯流排 (BUS)，電連於該複數個插槽，用來傳輸訊號及資料，其中當該介面模組未運作時，該對應之複數條匯流排係電連至該電路板之接地層；其中該二介面模組之複數條匯流排係交替佈局於該電路板上。

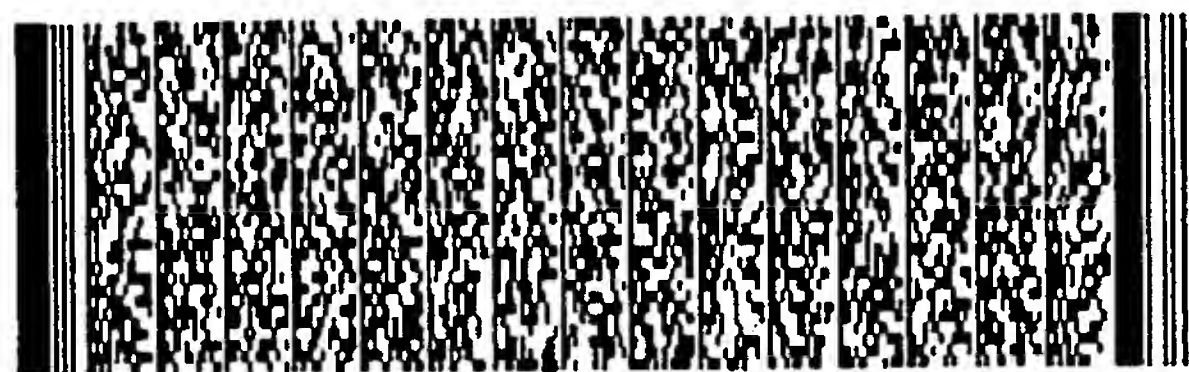
#### 實施方式





## 五、發明說明 (6)

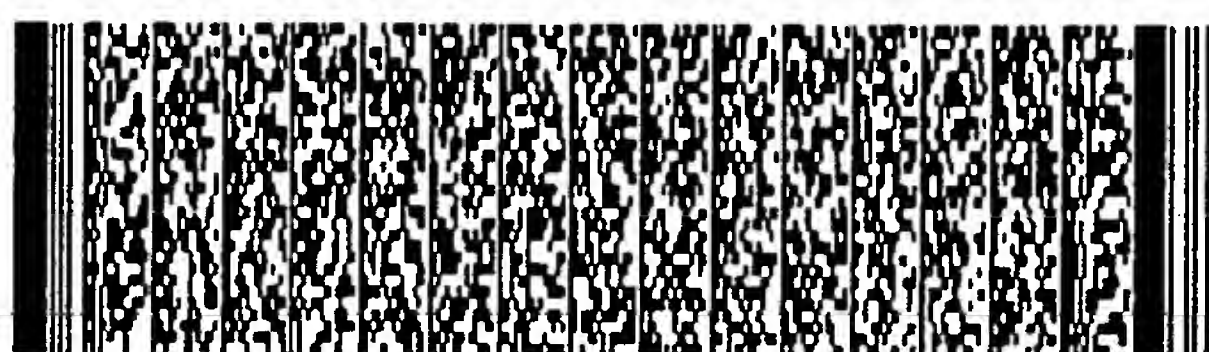
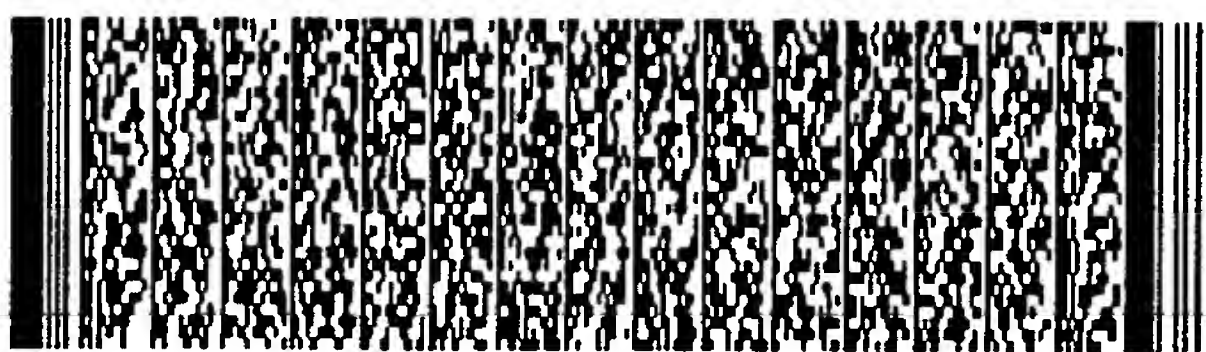
本發明所揭露之用以降低串音效應的架構主要適用於一相異匯流排共同佈局架構中，也就是將兩種或兩種以上不同規格但功能相近的硬體及對應之匯流排共同佈局於同一電路板上的架構，請見圖三，圖三為兩種不同規格但功能相近的硬體(記憶體)及對應之匯流排共同佈局於同一電路板上之架構的示意圖，本實施例承襲圖一及圖二習知技術以 DDR I 及 DDR II 在電路板上佈局架構為範本。請見圖三，圖三實施例中包含兩個介面模組 30、40，設置於一電路板 32 上，請注意這兩個介面模組 30、40 不能同時運作，且如前述，這兩個介面模組 30、40 分別設為 DDR I 佈局架構 30 以及 DDR II 佈局架構 40。DDR I 及 DDR II 佈局架構 30、40 共同使用一具有接地層之電路板 32，DDR I 及 DDR II 佈局架構 30、40 分別各自包含複數個插槽 34、44 以及複數條匯流排 36、46，在圖三中因為說明原理的便，DDR I 及 DDR II 佈局架構 30、40 分別各自只顯示一條匯流排 36、46 及兩個插槽 34、44。先看 DDR I 佈局架構 30，其二插槽 34 可用來以可抽插 (Detachable) 的方式容納二個對應的 DDR I 介面裝置 35，而匯流排 36 係連接二插槽 34，用來傳輸訊號及資料。DDR I 佈局架構 30 還包含一 DDR I 控制器 38，用來控制該介面模組 30，也就是 DDR I 佈局架構 30 之運作，DDR I 控制器 38 包含有一金屬氧化半導體電路，由一 P 型通道金屬氧化半導體 (PMOS) 及一 N 型通道金屬氧化半導體 (NMOS) 組成，用來將該控制器於一預設電壓  $V_t$  及一接地電壓之間切換，另外於匯流排 36 之終端且在插槽 34 之後連



#### 五、發明說明 (7)

接一開關裝置 (Switch) 39，用來將 DDR I 介面裝置 35 之匯流排 36 之端點於一預設電壓  $V_{tt}$  及一接地電壓之間切換，而原先於圖一習知實施例中用來作為阻抗匹配的電阻  $R_{tt}$  即包含於開關裝置 39 中。接著請見 DDR II 佈局架構 40，其亦包含複數個插槽 44、以及複數條匯流排 46，與 DDR I 佈局架構 30 同理只顯示一條匯流排 46 及用來容納對應之 DDR II 介面裝置 45 兩個插槽 44，DDR II 佈局架構 40 亦包含一 DDR II 控制器 48，用來控制該介面模組 40，也就是 DDR I 佈局架構 40 之運作，DDR II 控制器 48 仍利用一金屬氧化半導體電路將 DDR II 控制器 48 於一預設電壓  $V_t$  及一接地電壓之間切換。

請注意，首先如前所述，圖三 DDR I 佈局架構 30 及 DDR II 佈局架構 40 使用同一張電路板 32，且 DDR I 佈局架構 30 之複數條匯流排 36 與 DDR II 佈局架構 40 之複數條匯流排 46 係交替佈局於此同一電路板 32 上，請見圖四，圖四為圖三一實際實施例之示意圖。當 DDR I 佈局架構 30 在運作時，DDR I 佈局架構 30 之複數的匯流排 36 會傳輸訊號及資料，但由於這兩種架構之複數條匯流排 36、46 交替佈局於同一電路板 32 上，DDR I 佈局架構 30 之匯流排 36 所正在傳送的訊號會干擾到相鄰之 DDR II 佈局架構 40 之匯流排，然後相關的電磁波又會藉著匯流排 36 的傳遞而干擾到其餘鄰近的正在傳送訊號的匯流排 36，同理，當 DDR II 佈局架構 40 在運作時亦會產生相似之干擾，利用本發明上述之實施例架



#### 五、發明說明 (8)

構，利用接地遮蔽 (ground shielding) 的方式來改善串音效應的原理如下述，並請見圖五，圖五為圖三實施例之一方法流程圖：

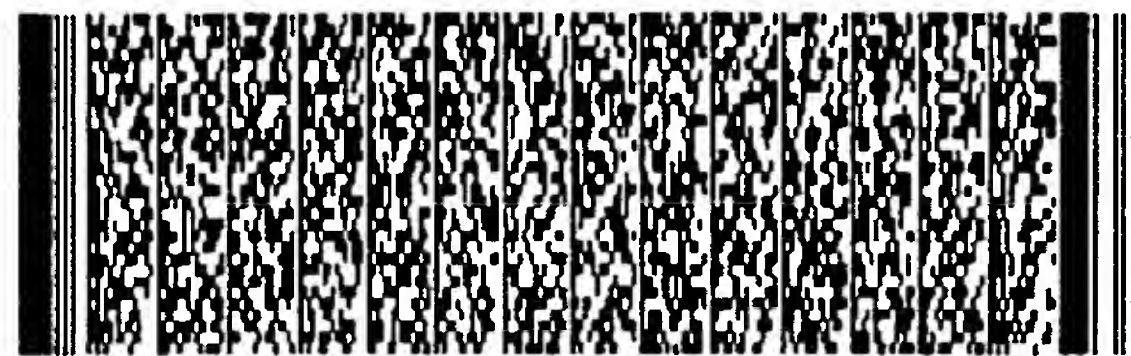
步驟 100：將 DDR I 及 DDR II 佈局架構 30、40 之複數條相異種類之匯流排 36、46 交替佈局於電路板 32 上；

步驟 101：於同一時間內只使用對應於 DDR I 或 DDR II 同一種類之匯流排傳輸訊號及資料，即兩個介面模組 30、40 不能同時運作；

步驟 102：當 DDR I 佈局架構在運作時，將 DDR II 佈局架構 40 之匯流排 46 的兩端點皆電連至電路板 32 之一接地層，以降低 DDR I 匯流排 36 之間訊號串音效應；

步驟 103：當 DDR II 佈局架構在運作時，將 DDR I 佈局架構 30 之匯流排 36 的兩端點皆電連至電路板 32 之一接地層，以降低 DDR II 匯流排 46 之間訊號串音效應；

請見圖六，圖六為步驟 102 之一實施例的示意圖。當 DDR I 佈局架構 30 在運作時 (即插槽 34 裝設上對應的 DDR I 介面裝置 35)，DDR I 佈局架構 30 之開關裝置 39 切換連接到預設電壓  $V_{tt}$ ，而未運作之 DDR II 佈局架構 40 中最靠近匯流排 46 終端的插槽 44 係裝設上一終端接地卡 (Terminator Card) 47，用來將此插槽 44 電連至電路板 32 之接地層，同時 DDR II 控制器 48 之金屬氧化半導體電路將 DDR II 控制器 48 切換連接至接地電壓 (P 型通道金屬氧化半導體關閉及 N

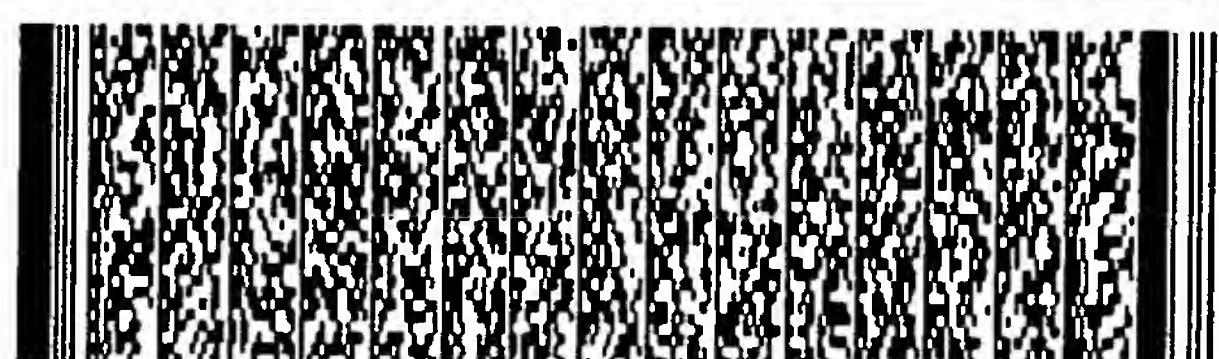
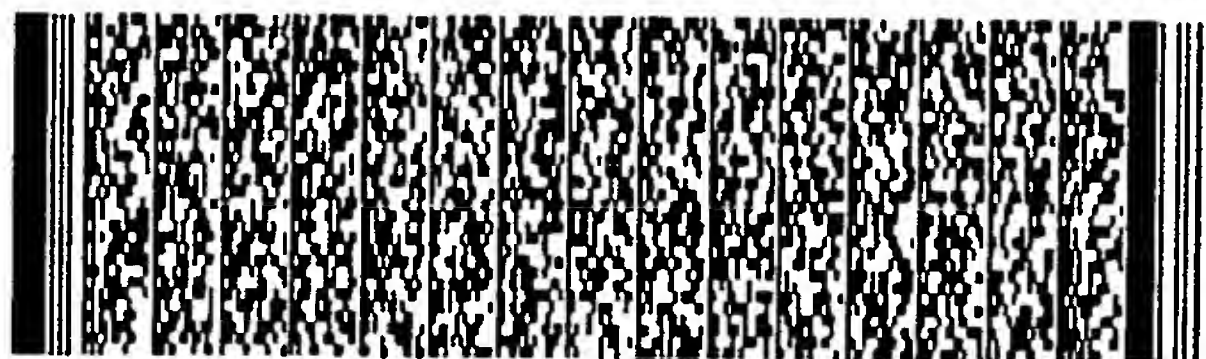




#### 五、發明說明 (9)

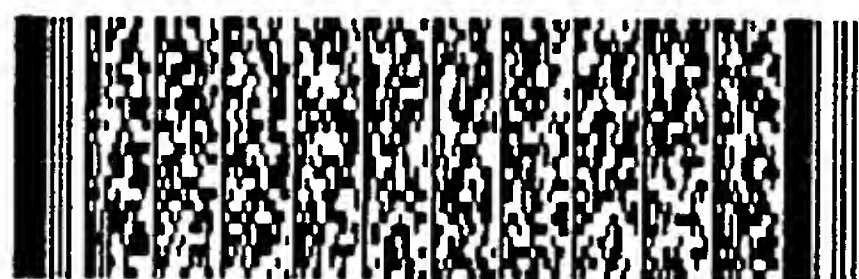
型通道金屬氧化半導體開啟)，使 DDR II 佈局架構 40 在電路板 32 上的走線全部接地，且因終端接地卡是裝設在匯流排 46 之終端的插槽 44，使得此傳送訊號之匯流排 46 的訊號接收端至結束端皆能完整的全部接地，形成防護線以隔絕串音雜訊。請參閱圖七，圖六為步驟 103 之一實施例的示意圖。當 DDR II 佈局架構 40 在運作時（即插槽 44 裝設上對應的 DDR II 介面裝置 45），未運作之 DDR I 佈局架構 30 之開關裝置 39 切換連接到接地電壓，同時 DDR I 控制器 38 之金屬氧化半導體電路將 DDR I 控制器 38 切換連接至接地電壓（P 型通道金屬氧化半導體關閉及 N 型通道金屬氧化半導體開啟），使 DDR I 佈局架構 30 在電路板 32 上的走線全部接地。

上述的實施例僅以兩個介面模組為例（DDR I 佈局架構 30 以及 DDR II 佈局架構 40），事實上，本發明之技術特徵已一再強調，並不侷限介面模組的數目，更不限制插槽或是匯流排的數目，最主要在於利用相關相異匯流排共同交替佈局於同一電路板之架構，將未傳輸訊號及資料之匯流排的兩端點皆電連至電路板之接地層，形成防護線以隔絕串音雜訊，至於關於如何使用控制器、終端接地卡、開關模組、亦或其他方式接地，都包含在本發明之技術特徵之內。如此一來，不同匯流排混合佈局時，不用增加線距來降低串音效應，如此一來就不會增加太多的電路板面積，以降成製作成本。



## 五、發明說明 (10)

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。





## 圖式簡單說明

### 圖式之簡單說明

圖一為習知 DDR I佈局架構的示意圖。

圖二為習知 DDR II佈局架構的示意圖

圖三為本發明 DDR I及 DDR II佈局架構之匯流排共同佈局於一電路板之一實施例的示意圖。

圖四為圖三實施例於實際佈局時之一實施例的示意圖。

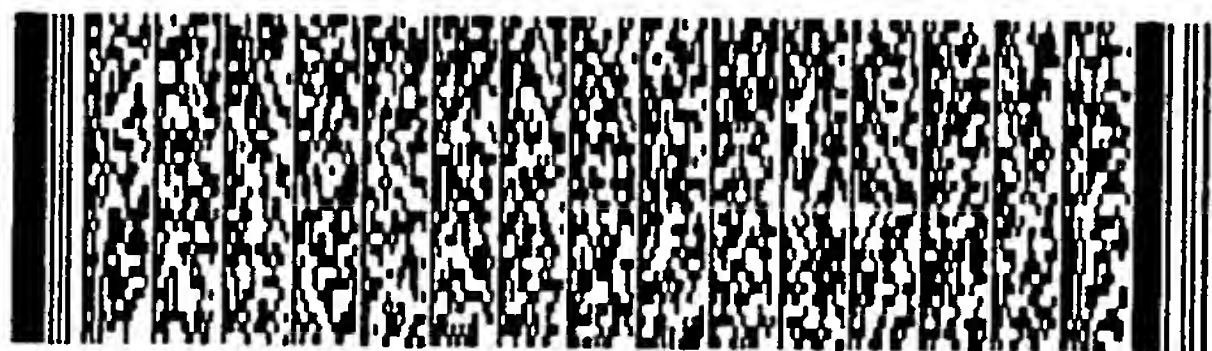
圖五為圖三實施例之一方法流程圖。

圖六為圖五方法之一步驟之一實施例的示意圖。

圖七為圖五方法之另一步驟之一實施例的示意圖。

### 圖式之符號說明

10、30	DDR I佈局架構	12、22、32	電路板
14、34	DDR I插槽	16、36	DDR I匯流排
18、38	DDR I控制器	20、40	DDR I佈局架構
24、44	DDR II插槽	26、46	DDR II匯流排
28、48	DDR I控制器	35	DDR I介面裝置
39	開關裝置	45	DDR II介面裝置
47	終端接地卡		



## 六、申請專利範圍

1. 一種用來降低串音效應 (Crosstalk) 的架構，其包含有：

一電路板，其包含一接地層 (Ground Layer)；以及  
複數個介面模組，設置於該電路板上，其中不能同時  
有兩個以上的介面模組同時運作，每一介面模組皆包含  
有：

複數個插槽 (Slot)，用來以可抽插 (Detachable) 的方式  
容納複數個對應的介面裝置；以及

複數條匯流排 (BUS)，電連於該複數個插槽，用來傳  
輸訊號及資料，其中當該介面模組未運作時，該對應之複  
數條匯流排係電連至該電路板之接地層；

其中該複數個介面模組之複數條匯流排係交替佈局於  
該電路板上。

2. 如申請專利範圍第 1 項之架構，其中至少一介面模組  
之複數條匯流排之端點包含有對應於該介面模組之一開關  
裝置 (Switch)，用來將該介面模組之複數條匯流排之端點  
於一預設電壓及一接地電壓之間切換。

3. 如申請專利範圍第 2 項之架構，其中當該介面模組未  
運作時，對應於該介面模組之開關裝置係將該介面模組之  
複數條匯流排之端點切換連接至該接地電壓，以將該複數  
條匯流排電連至該電路板之接地層。

#### 六、申請專利範圍

4. 如申請專利範圍第1項之架構，其中至少一介面模組之複數個插槽係用來以可抽插的方式設置至少一終端接地卡 (Terminator Card)，用來將裝設有該終端接地卡之插槽電連至該電路板之接地層。
5. 如申請專利範圍第4項之架構，其中當該介面模組未運作時，對應於該介面模組之複數個插槽係裝設至少一終端接地卡，用來將裝設有該終端接地卡之插槽電連至該電路板之接地層。
6. 如申請專利範圍第1項之架構，其中每一介面模組皆包含有一控制器 (Controller)，用來控制該介面模組之運作。
7. 如申請專利範圍第6項之架構，其中該控制器包含有一金屬氧化半導體 (MOS) 電路，用來將該控制器於一預設電壓及一接地電壓之間切換。
8. 如申請專利範圍第7項之架構，其中當該介面模組未運作時，該金屬氧化半導體電路係將該控制器切換連接至該接地電壓。
9. 如申請專利範圍第1項之架構，其係應用於一個人電腦 (PC) 之一主機板 (Mother Board) 及其他電路板應用架構



## 六、申請專利範圍

中。

10. 一種於一相異匯流排共同佈局架構中用來降低串音效應 (Crosstalk) 的方法，該相異匯流排共同佈局架構包含有複數條相異種類之匯流排，用來傳輸不同種類之訊號及資料，該方法包含有下列步驟：

將該複數條相異種類之匯流排交替佈局於一電路板上；

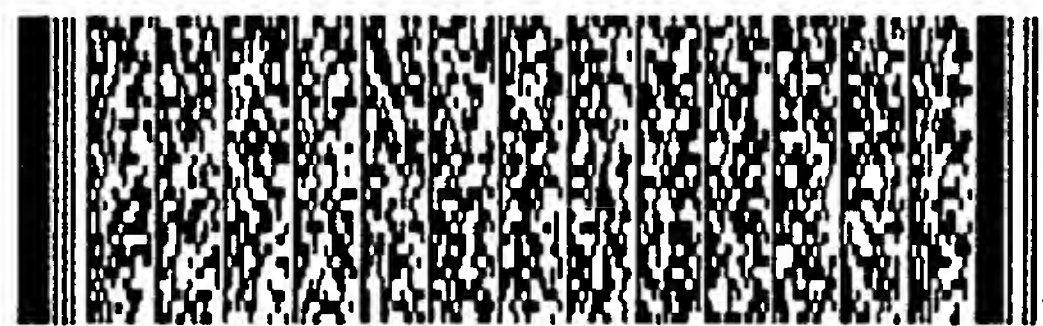
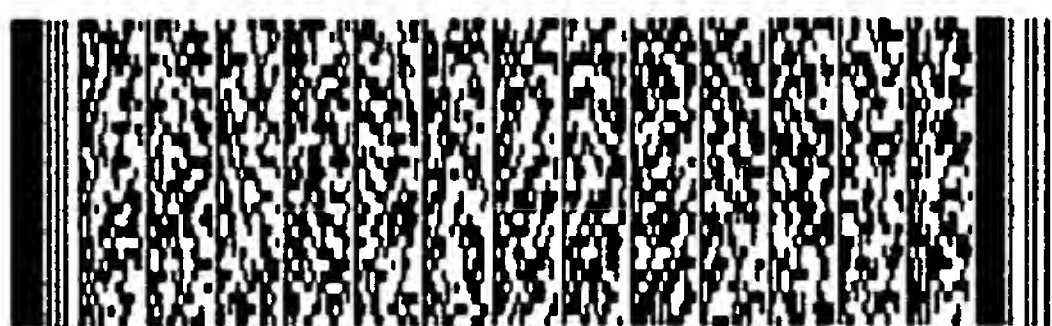
於同一時間內只使用同一種類之匯流排傳輸訊號及資料；以及

將未傳輸訊號及資料之匯流排的兩端點皆電連至該電路板之一接地層。

11. 如申請專利範圍第 10 項所述之方法，其中該相異匯流排共同佈局架構包含有複數個相異的介面模組，其中每一介面模組係對應於每一種類之複數條匯流排，該方法另包含有：於同一時間內只有一介面模組在運作。

12. 如申請專利範圍第 11 項所述之方法，其中每一介面模組皆包含有：複數個插槽 (Slot)，用來以可抽插 (Detachable) 的方式容納複數個對應的介面裝置；以及

一控制器 (Controller)，用來控制該介面模組之運作，該控制器包含有一金屬氧化半導體 (MOS) 電路，用來





#### 六、申請專利範圍

將該控制器於一預設電壓及一接地電壓之間切換；

該方法另包含有下列步驟：

將未運作的介面模組之複數個插槽中裝設至少一終端接地卡 (Terminator Card)，用來將裝設有該終端接地卡之插槽電連至該電路板之接地層；以及

使用該金屬氧化半導體電路將未運作的介面模組之控制器切換連接至該接地電壓，以將該控制器電連至該電路板之接地層。

13. 如申請專利範圍第 11 項所述之方法，其中至少一介面模組之複數條匯流排之端點包含有對應於該介面模組之一開關裝置 (Switch)，用來將該介面模組之複數條匯流排之端點於一預設電壓及一接地電壓之間切換。

14. 如申請專利範圍第 13 項所述之方法，其另包含：使用對應於未運作之介面模組的開關裝置將該介面模組之複數條匯流排之端點切換連接至該接地電壓，以將該未運作之介面模組之複數條匯流排電連至該電路板之接地層。

15. 如申請專利範圍第 10 項所述之方法，其中該相異匯流排共同佈局架構係應用於一個人電腦 (PC) 之一主機板 (Mother Board) 及其他電路板應用架構中。

16. 一種用來降低串音效應 (Crosstalk) 的相異匯流排共





#### 六、申請專利範圍

同佈局架構，其包含有：

一電路板，其包含一接地層 (Ground Layer)；以及  
二介面模組，設置於該電路板上，包含有第一介面模組以及第二介面模組，其中該二介面模組不能同時運作，每一介面模組皆包含有：

一控制器 (Controller)，用來控制該介面模組之運作，該控制器包含有一金屬氧化半導體電路，用來將該控制器於一預設電壓及一接地電壓之間切換，其中當該介面模組未運作時，該金屬氧化半導體電路係將該控制器切換連接至該接地電壓；

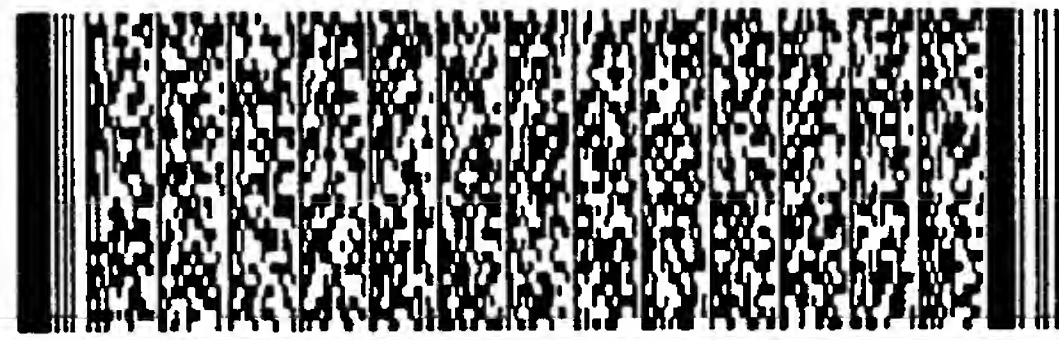
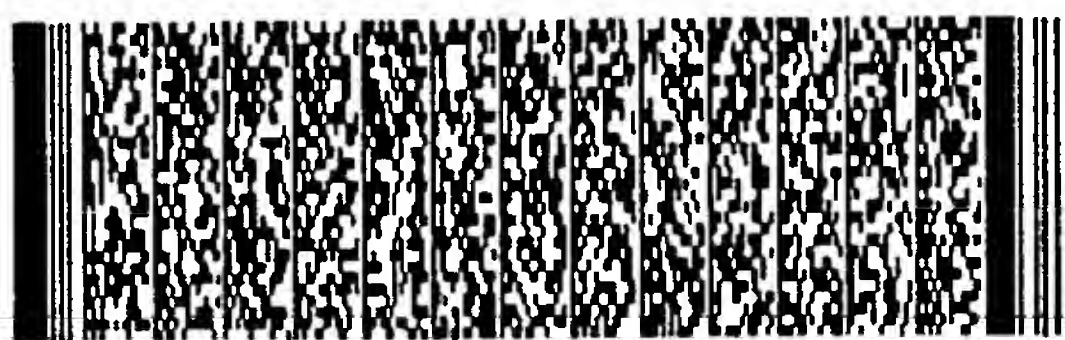
複數個插槽 (Slot)，用來以可抽插 (Detachable) 的方式容納複數個對應的介面裝置；以及

複數條匯流排 (BUS)，電連於該複數個插槽，用來傳輸訊號及資料，其中當該介面模組未運作時，該對應之複數條匯流排係電連至該電路板之接地層；

其中該二介面模組之複數條匯流排係交替佈局於該電路板上。

17. 如申請專利範圍第 16 項之相異匯流排共同佈局架構，其中該第一介面模組之複數條匯流排之端點包含有一開關裝置 (Switch)，用來將該第一介面模組之複數條匯流排之端點於一預設電壓及一接地電壓之間切換。

18. 如申請專利範圍第 17 項之相異匯流排共同佈局架構，



#### 六、申請專利範圍

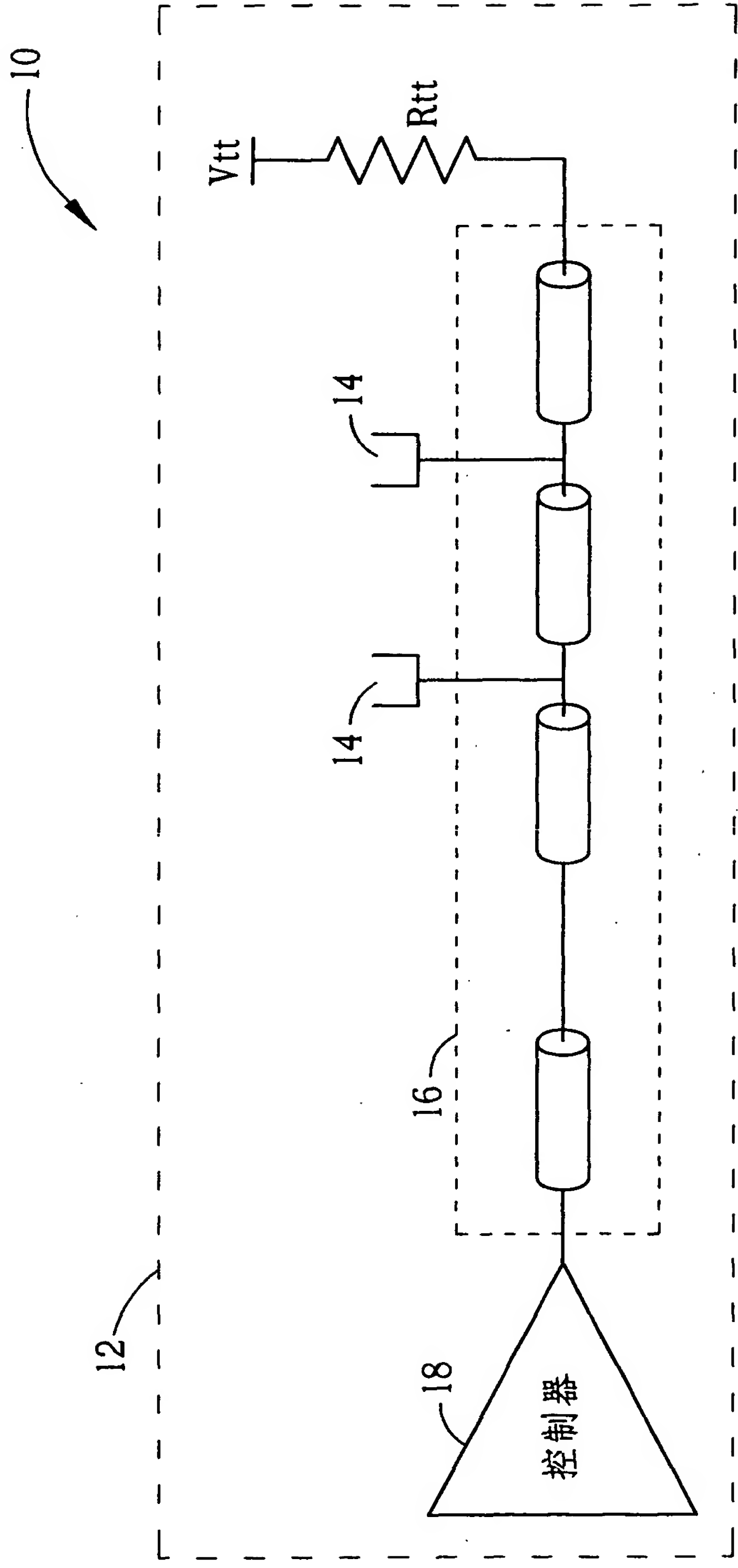
其中當該第一介面模組未運作時，該開關裝置係將該第一介面模組之複數條匯流排之端點切換連接至該接地電壓，以將該第一介面模組之複數條匯流排電連至該電路板之接地層。

19. 如申請專利範圍第16項之相異匯流排共同佈局架構，其中該第二介面模組之複數個插槽係用來以可抽插的方式設置至少一終端接地卡(Terminator Card)，用來將裝設有該終端接地卡之插槽電連至該電路板之接地層。

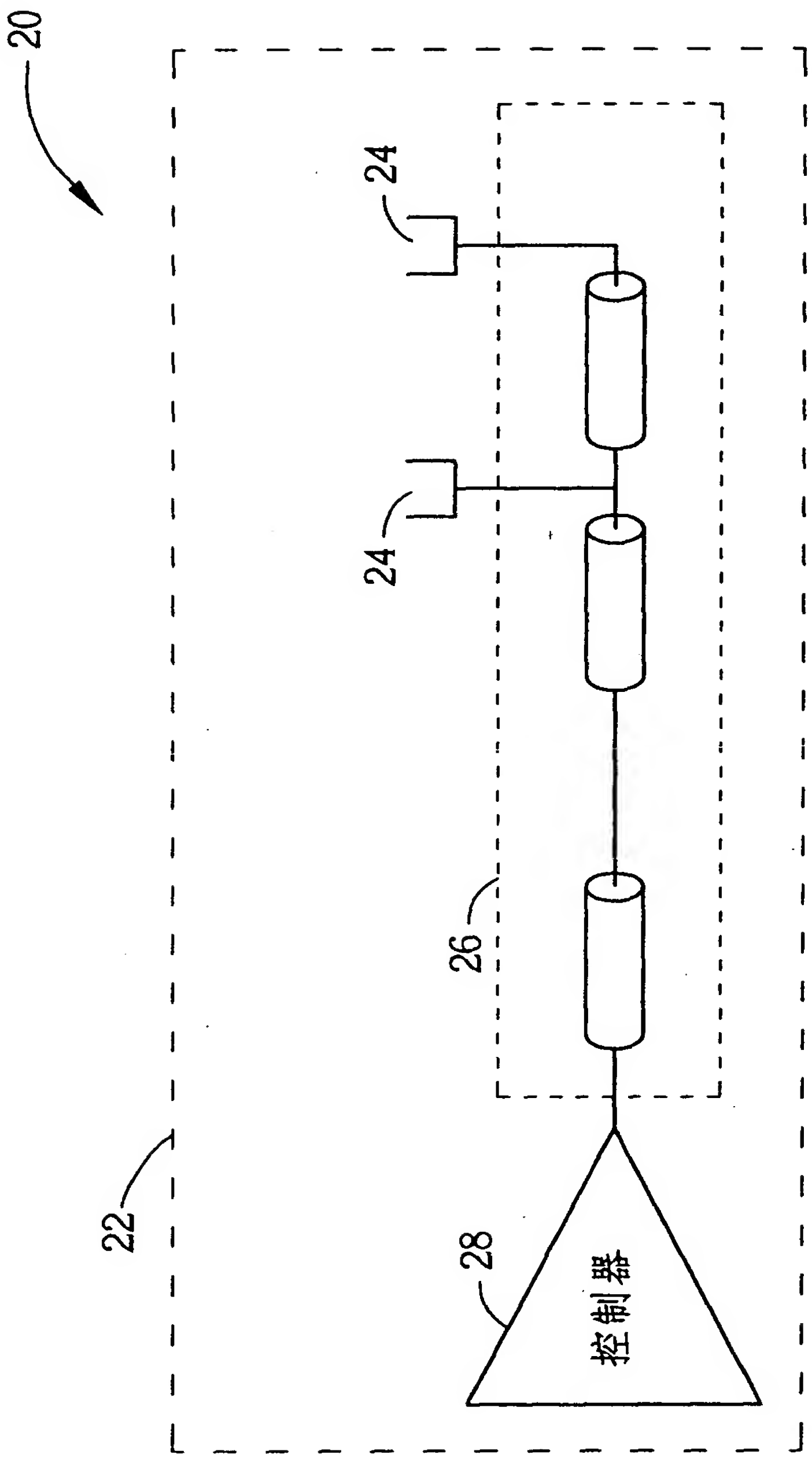
2. 如申請專利範圍第19項之相異匯流排共同佈局架構，其中當該第二介面模組未運作時，該第二介面模組之複數個插槽係裝設至少一終端接地卡，用來將裝設有該終端接地卡之插槽電連至該電路板之接地層。

21. 如申請專利範圍第16項之相異匯流排共同佈局架構，其係應用於一個人電腦(PC)之一主機板(Mother Board)及其他電路板應用架構中。

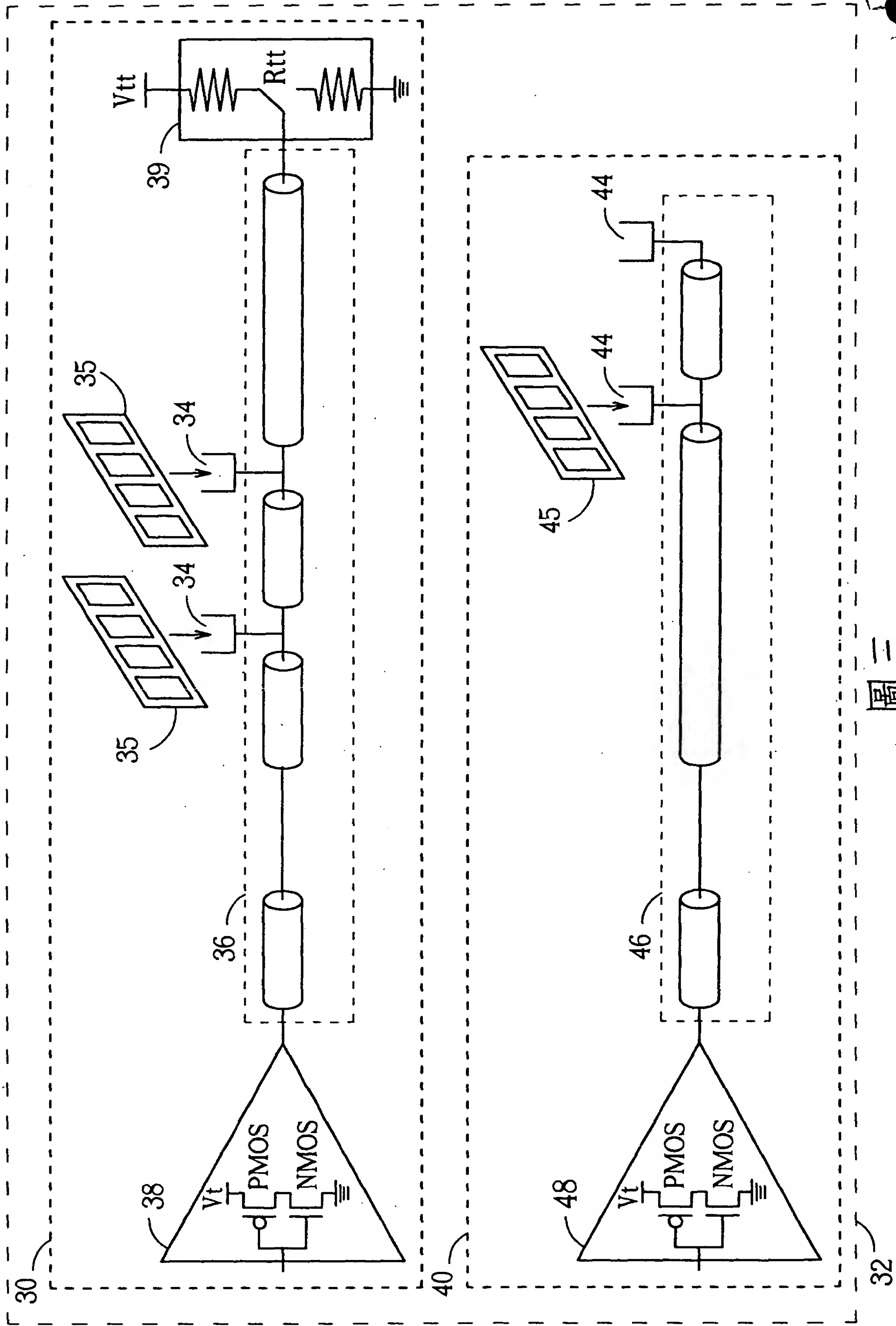




圖一

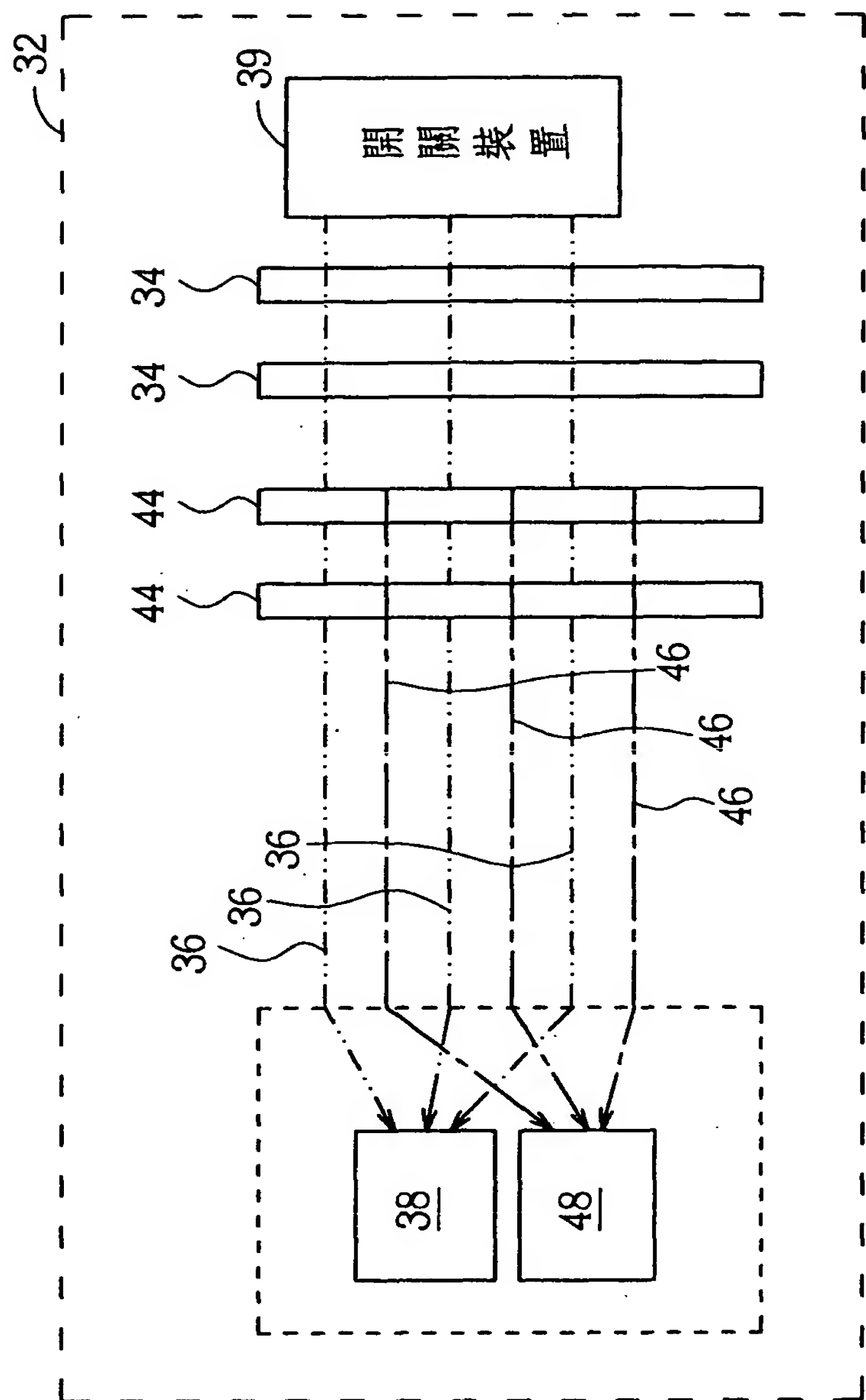


圖二

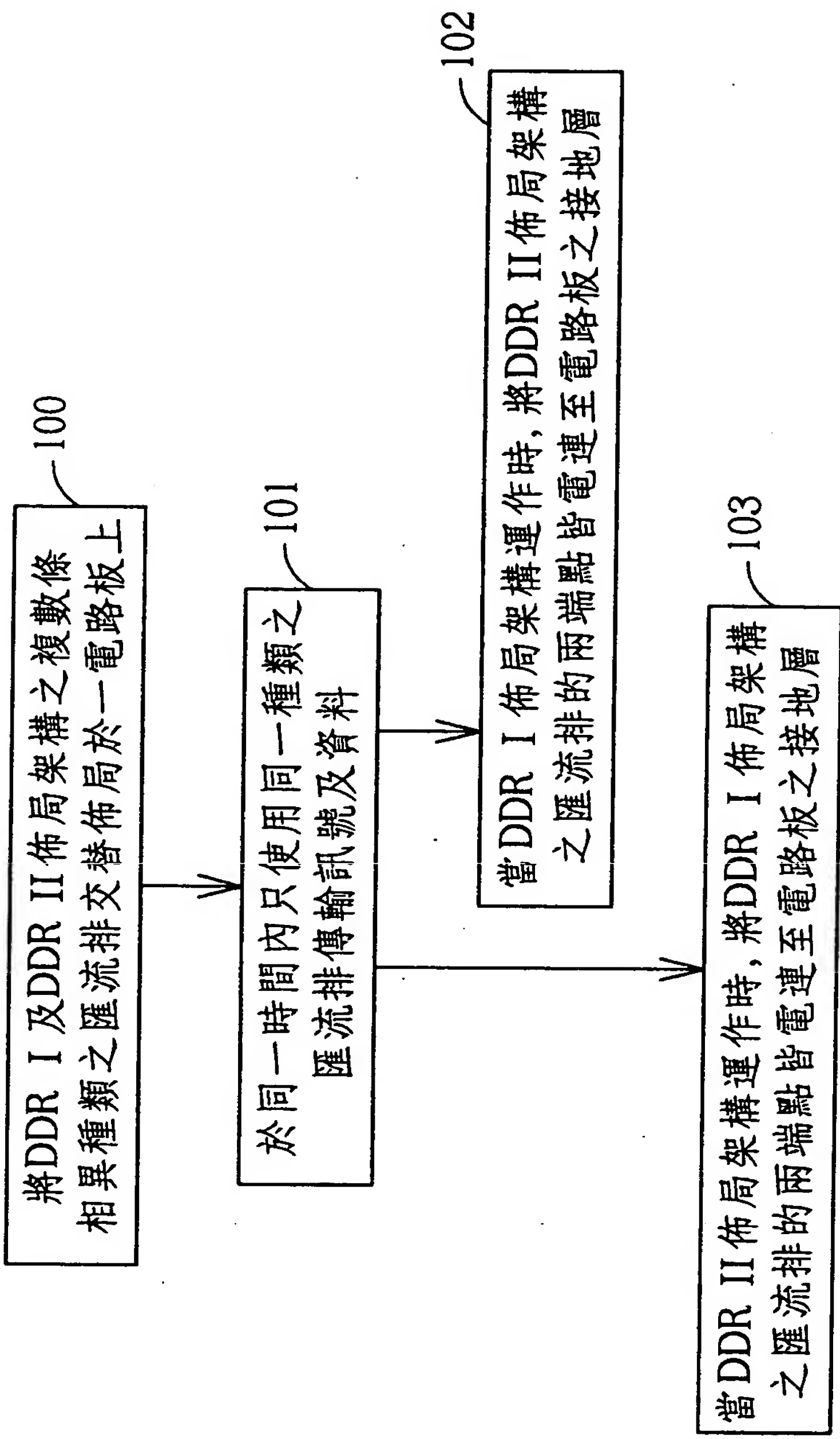


圖三

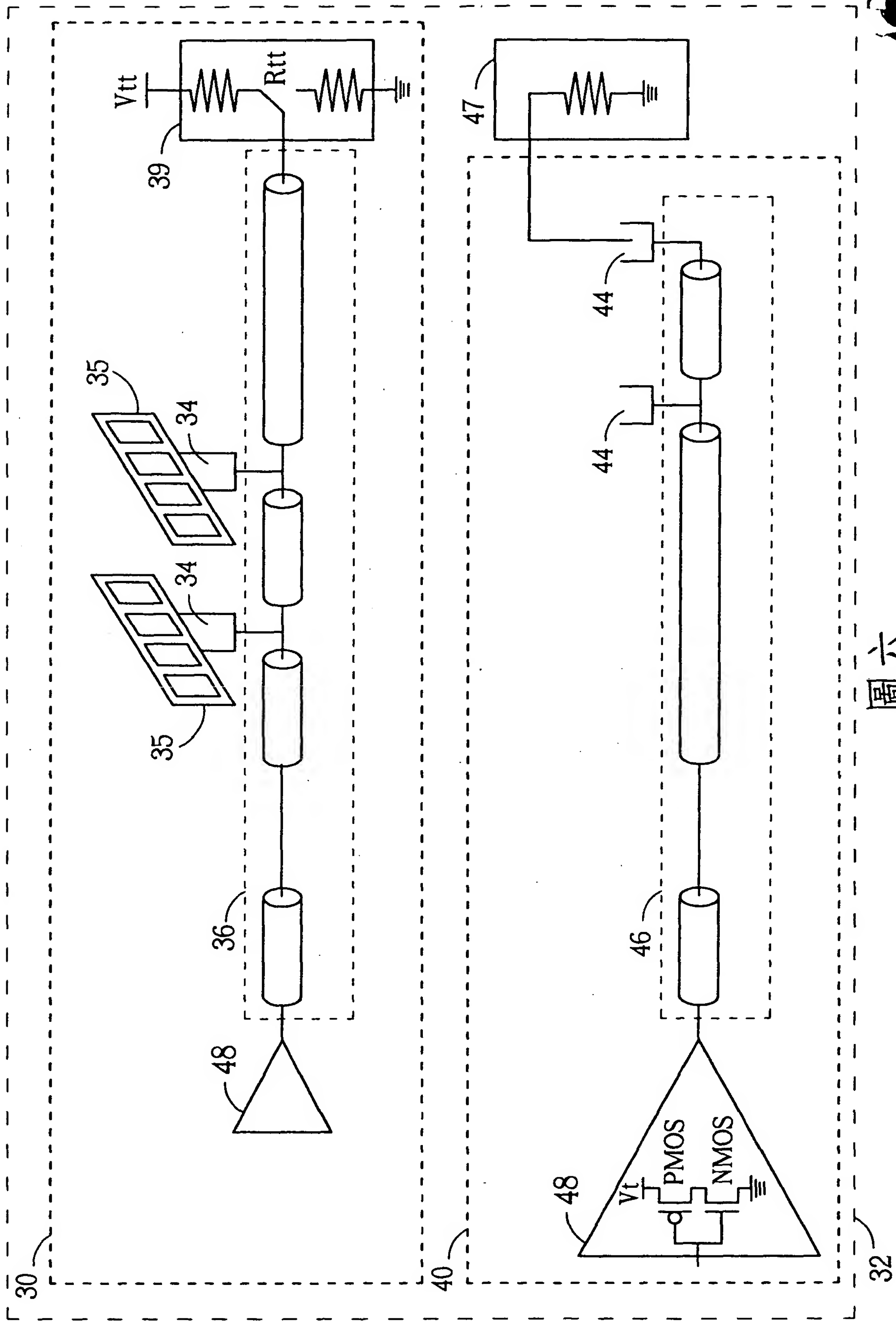




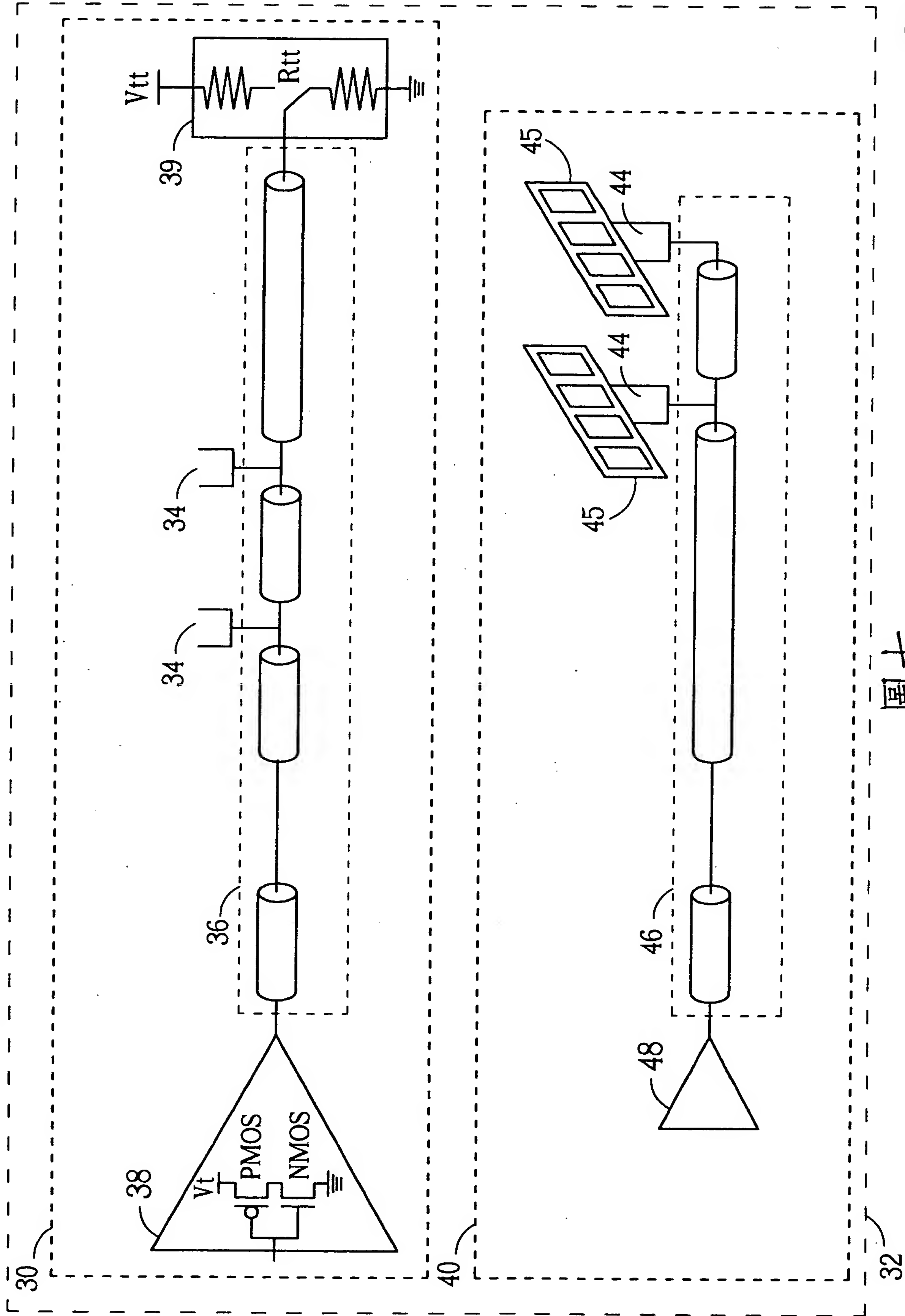
四圖



圖五



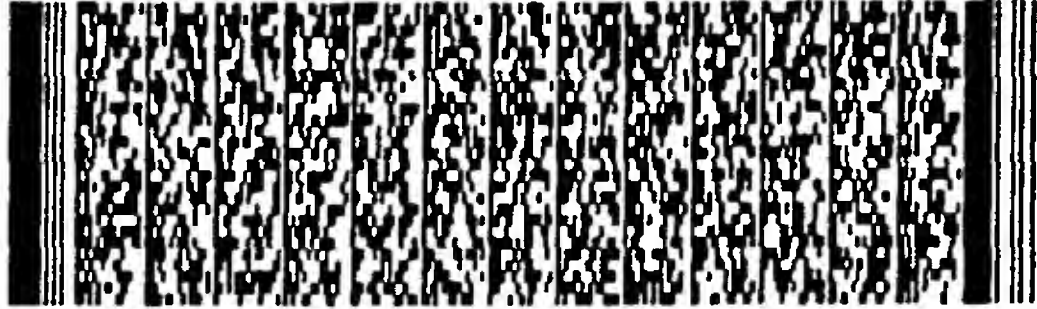
圖六



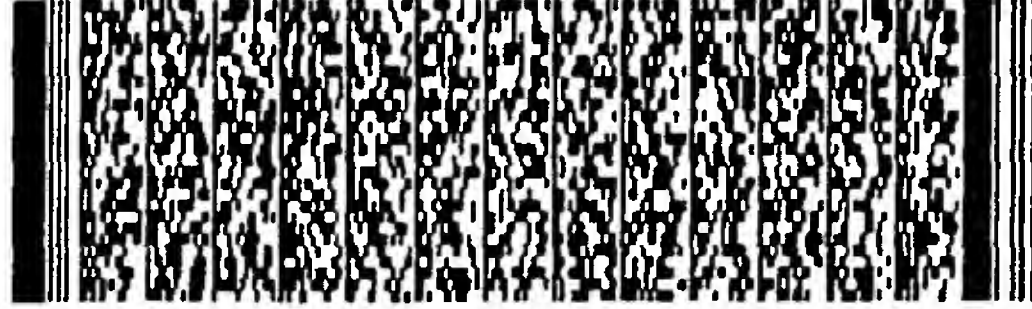
圖七



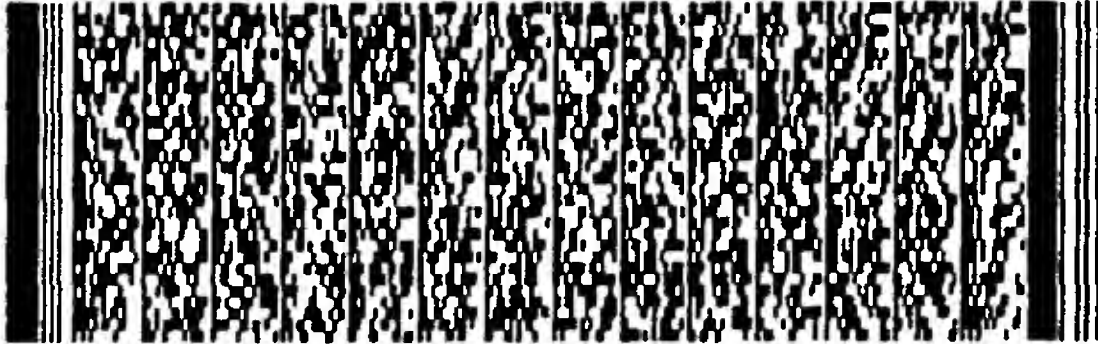
第 1/21 頁



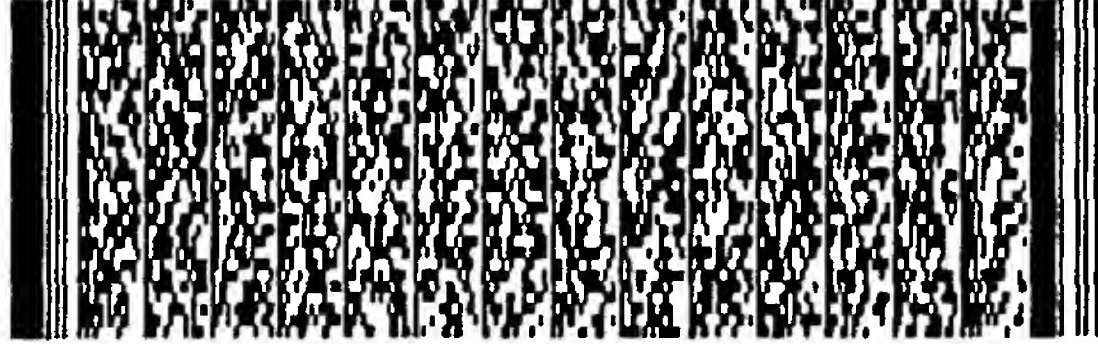
第 1/21 頁



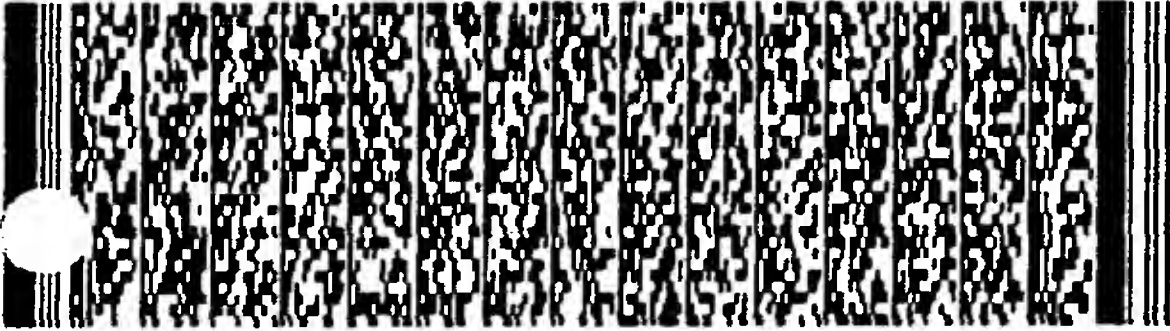
第 2/21 頁



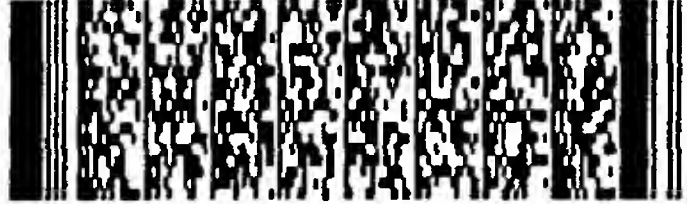
第 2/21 頁



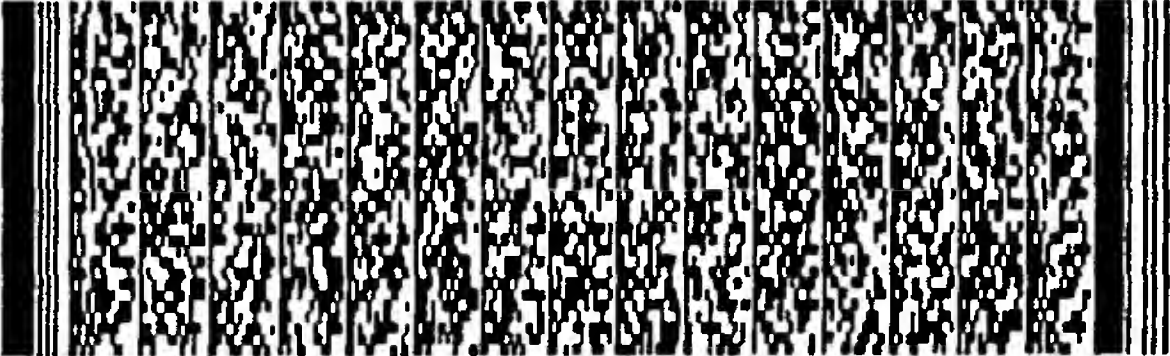
第 3/21 頁



第 4/21 頁



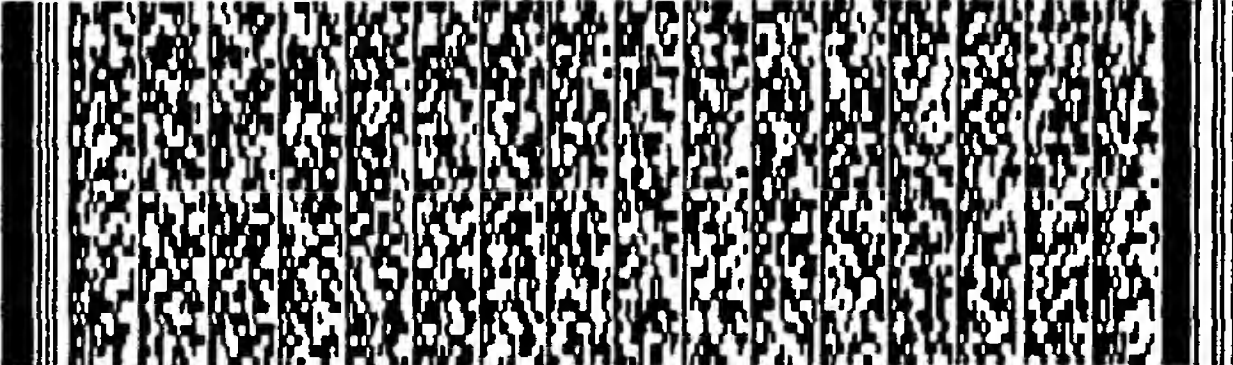
第 5/21 頁



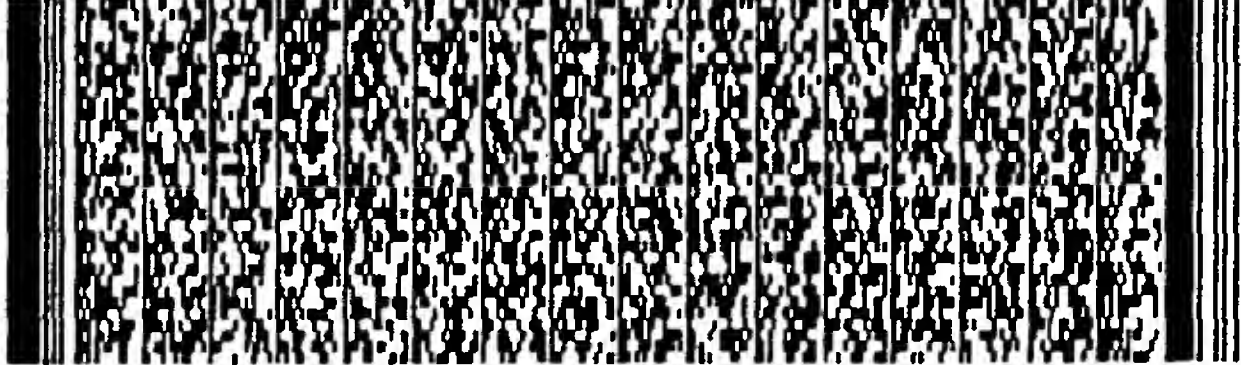
第 5/21 頁



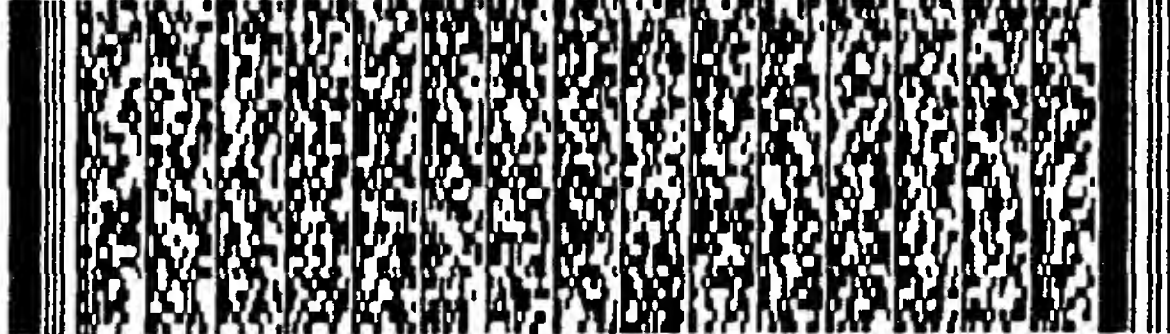
第 6/21 頁



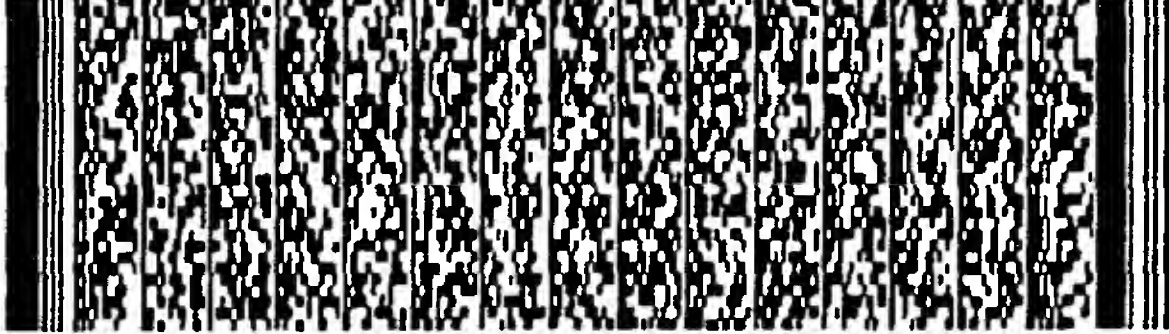
第 6/21 頁



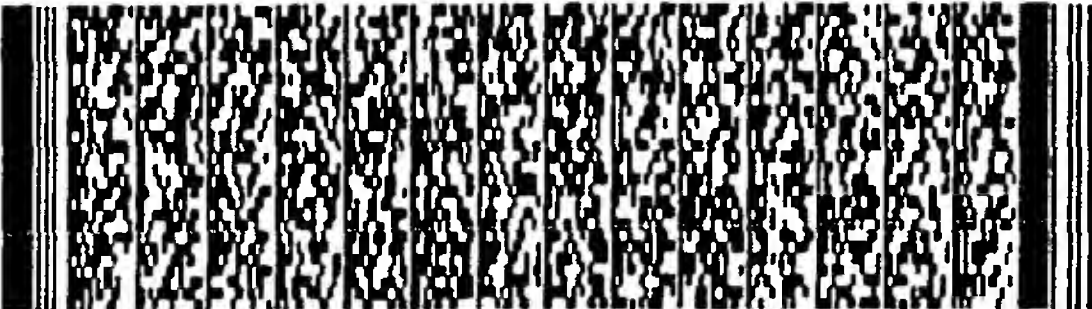
第 7/21 頁



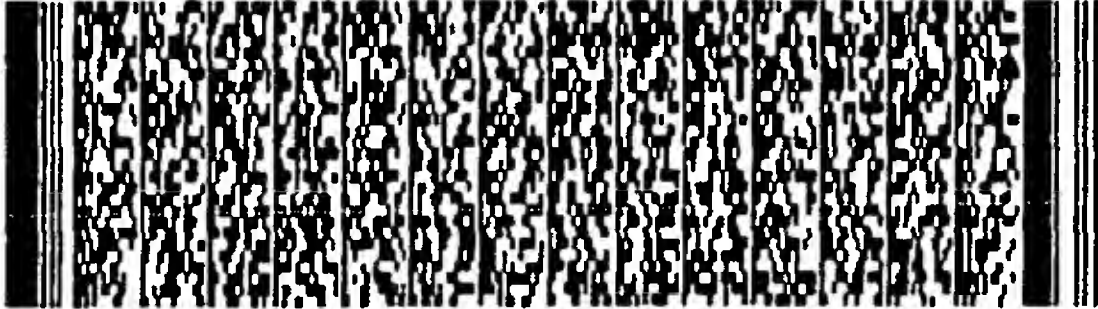
第 7/21 頁



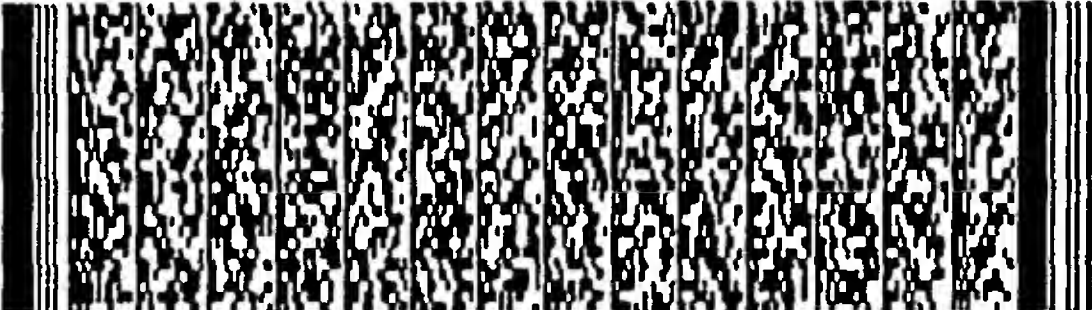
第 8/21 頁



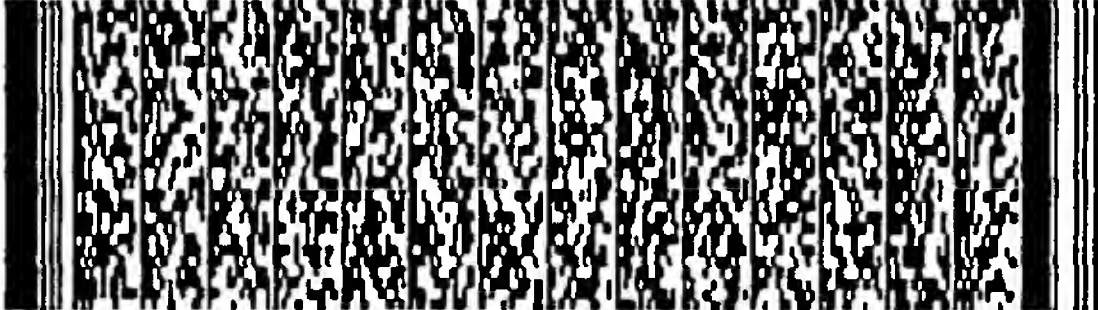
第 8/21 頁



第 9/21 頁

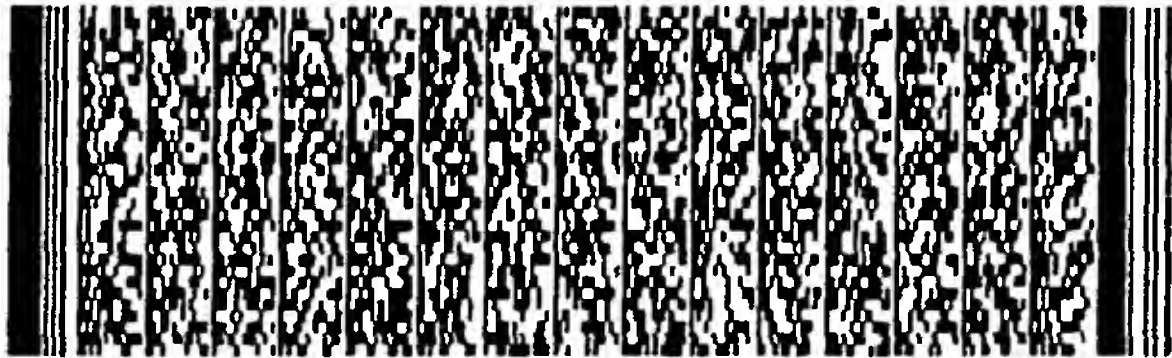


第 9/21 頁

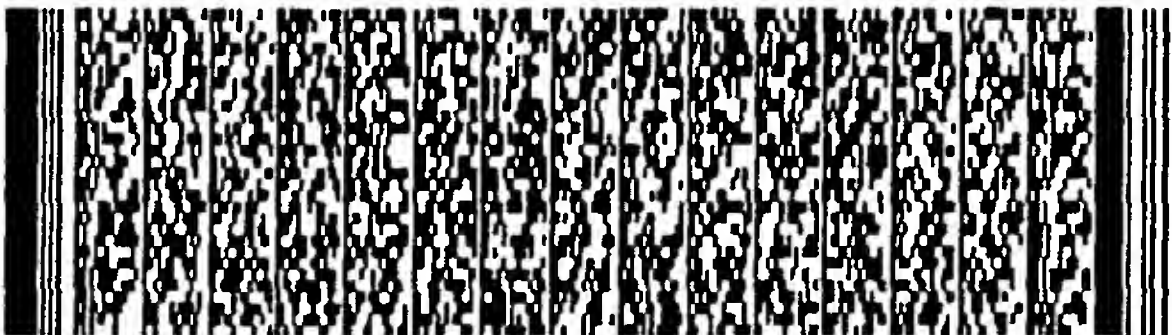




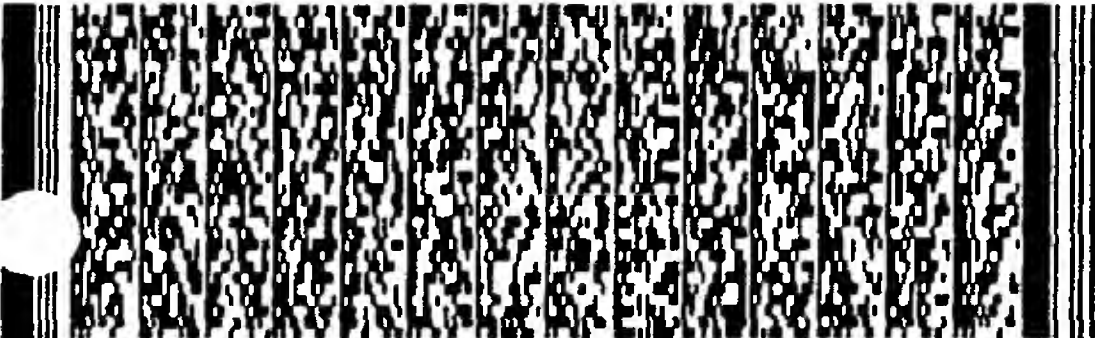
第 10/21 頁



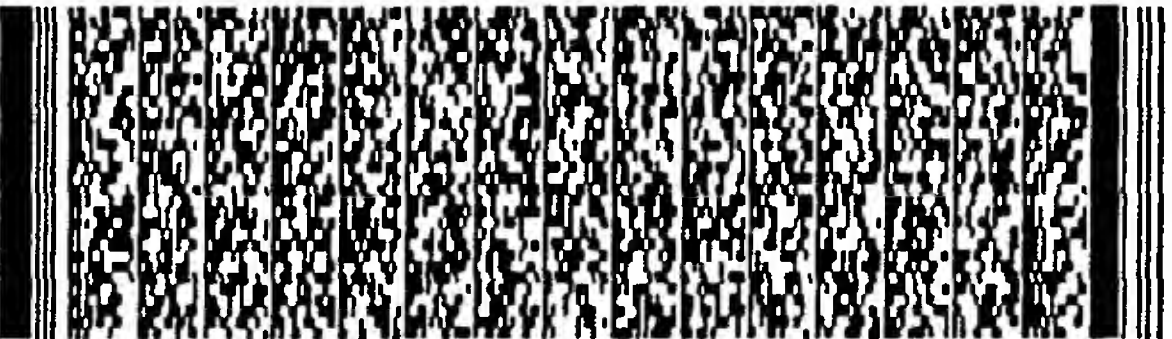
第 11/21 頁



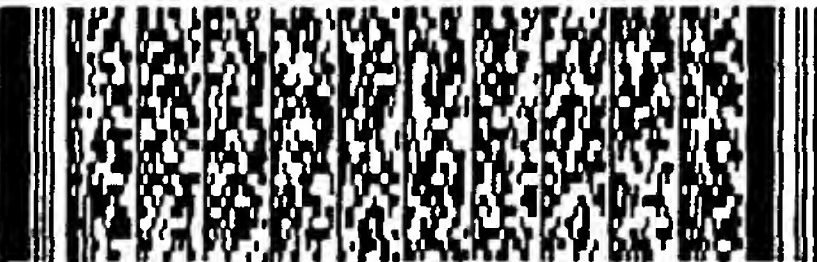
第 12/21 頁



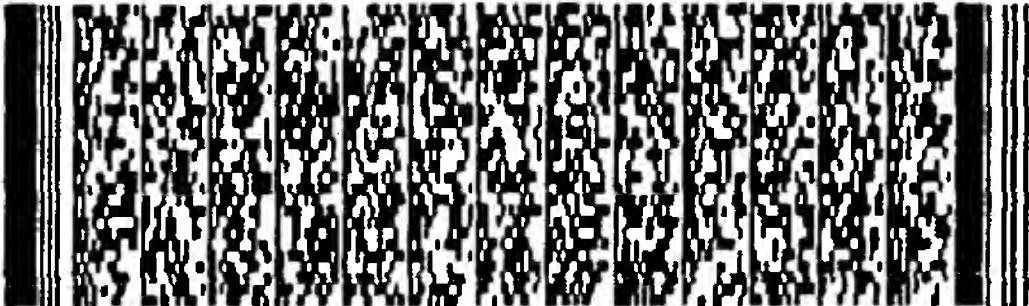
第 13/21 頁



第 14/21 頁



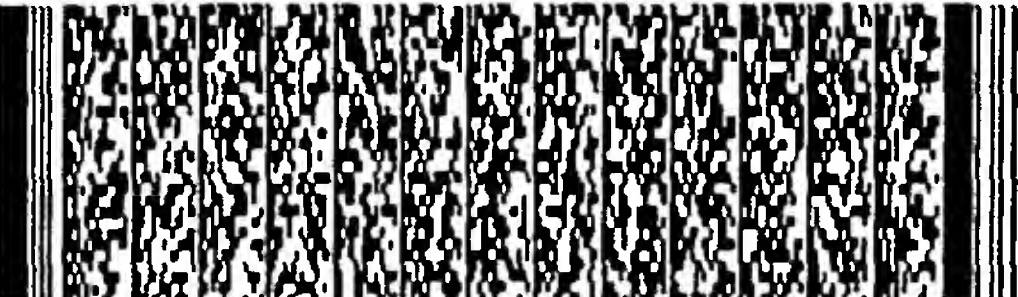
第 16/21 頁



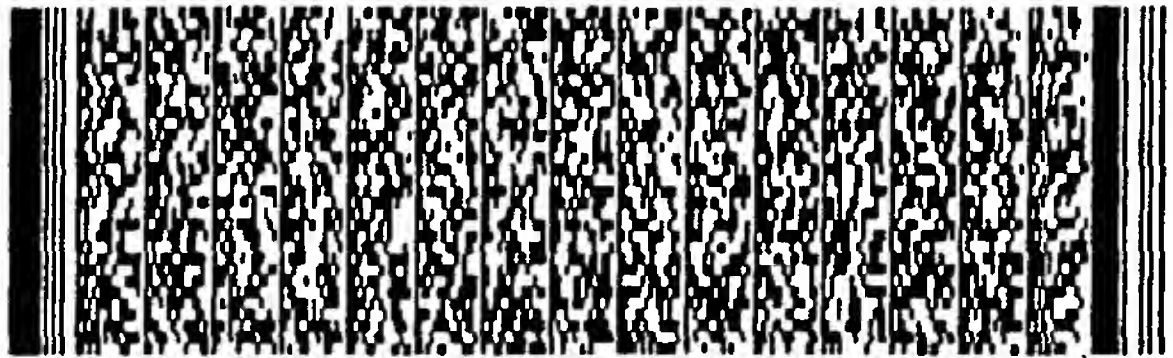
第 17/21 頁



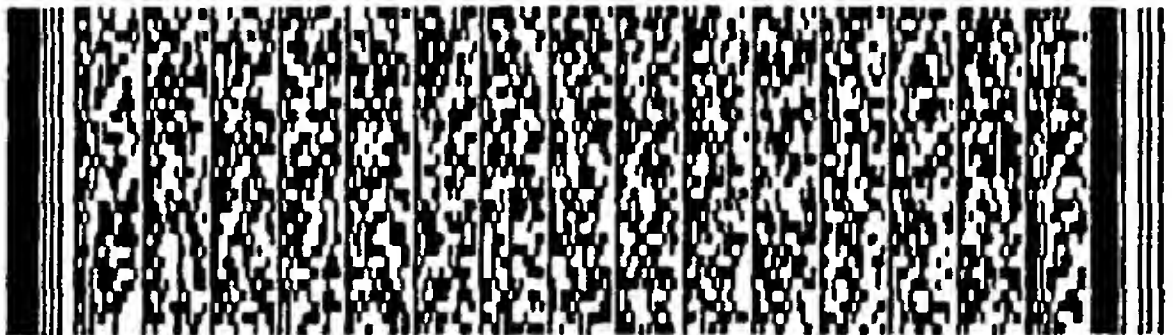
第 18/21 頁



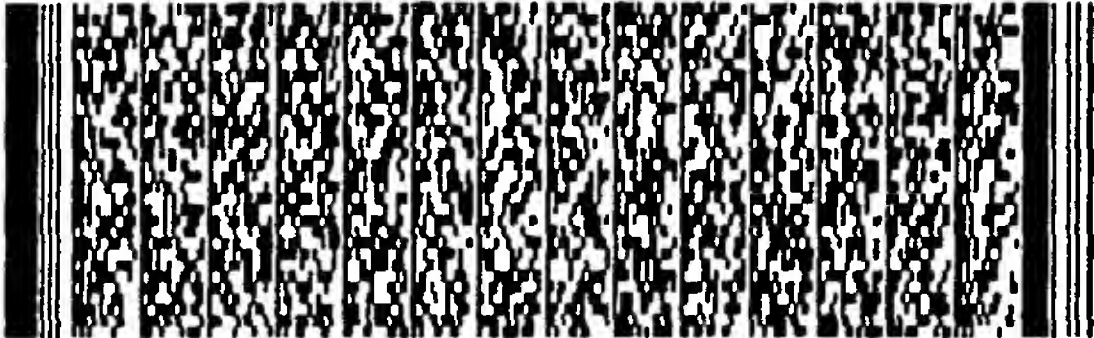
第 10/21 頁



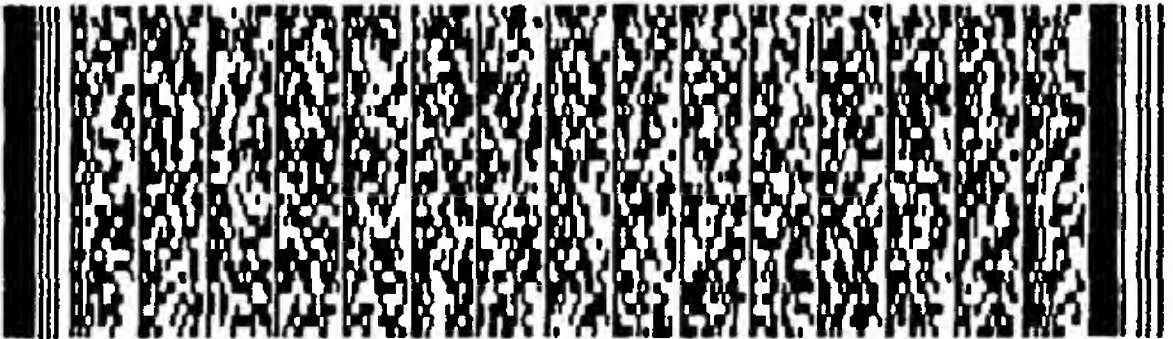
第 11/21 頁



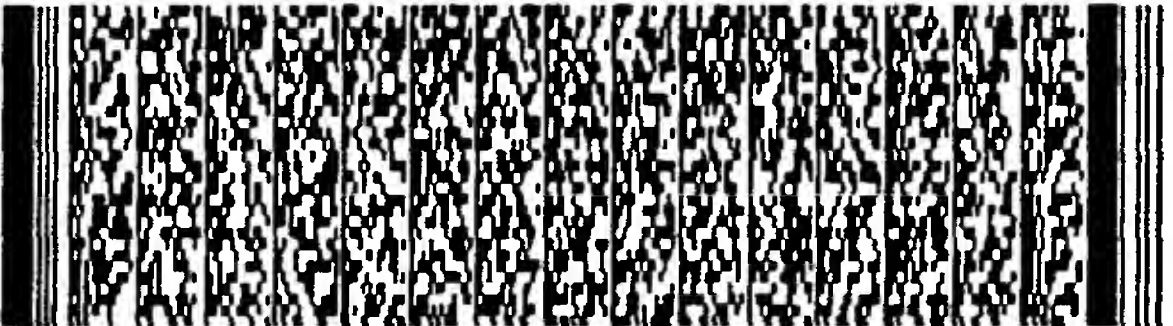
第 12/21 頁



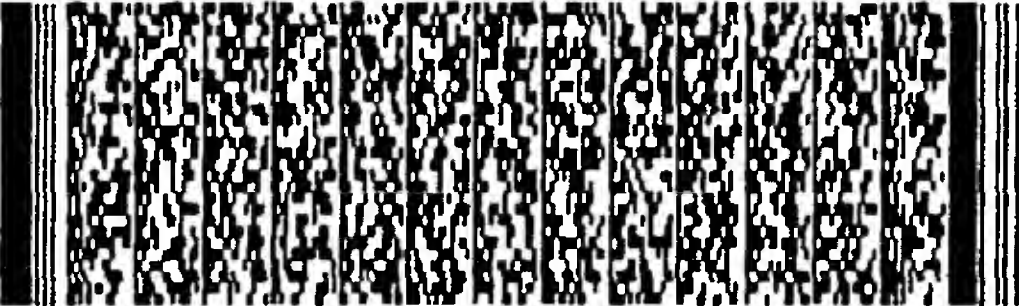
第 13/21 頁



第 15/21 頁



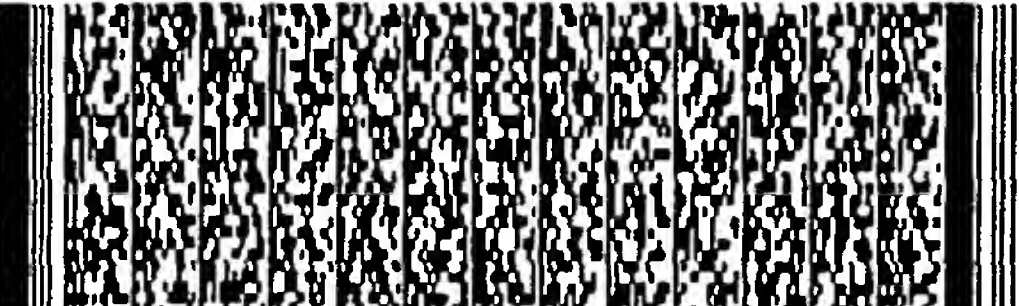
第 16/21 頁



第 18/21 頁

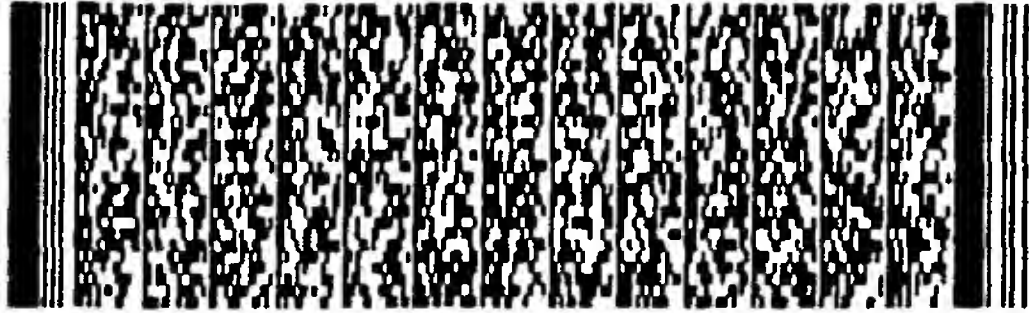


第 19/21 頁

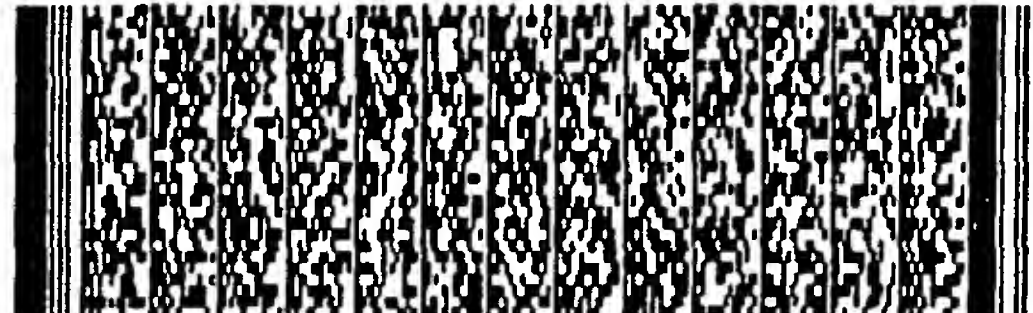




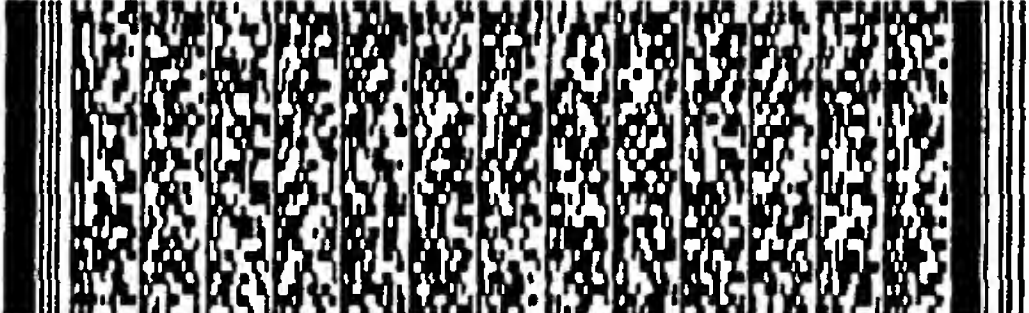
第 19/21 頁



第 20/21 頁



第 20/21 頁



第 21/21 頁

